

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-227999

(43)Date of publication of application : 03.09.1996

(51)Int.Cl.

H01L 29/78

H01L 21/331

H01L 29/73

(21)Application number : 07-121842

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 19.05.1995

(72)Inventor : WATABE KIYOTO

(30)Priority

Priority number : 06318785    Priority date : 21.12.1994    Priority country : JP

## (54) INTEGRATED GATE BIPOLAR TRANSISTOR AND ITS MANUFACTURE AND SEMICONDUCTOR INTEGRATED CIRCUIT AND ITS MANUFACTURE

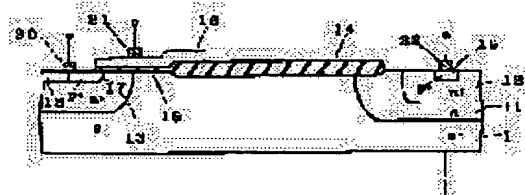
(57)Abstract:

**PURPOSE:** To make the withstand voltage higher, to lower the on-voltage, and to shorten the turn-off time by causing the respective impurity concentrations of buffer layers formed successively from a base layer to the collector layer, and the concentrations of carriers propagated through the buffer layers respectively at an on-time to satisfy specific conditional expressions.

**CONSTITUTION:** On the upper part of a high-resistance n-type base layer 1 a p-type base layer 13 is formed selectively, and on its surface an n-type emitter layer 17 and a heavily doped p-type layer 18 are formed. A buffer layer is composed of first to n-th ( $n \geq 2$ ) buffer layers formed from the n-type base layer 1 to a p-type collector layer 19. And when the respective impurity concentrations of the first to n-th buffer layers are represented as  $B_1$ - $B_n$ , and the concentrations of carriers being propagated through the first to n-th buffer layers respectively at an on-time are represented as  $C_1$ - $C_m$ , conditional expression 1;

$B_1 < B_2 < \dots < B_n$ , and conditional expression 2;  $B_i < C_i$  ( $1 \leq i \leq 4n$ )

are satisfied. Consequently, it becomes possible to make the withstand voltage higher, to lower the on-voltage, and to shorten the turn-off time.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-227999

(43) 公開日 平成8年(1996)9月3日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78			H 0 1 L 29/78	3 0 1 J
21/331			29/72	
29/73				

審査請求 未請求 請求項の数12 O L (全 23 頁)

(21) 出願番号 特願平7-121842

(22) 出願日 平成7年(1995)5月19日

(31) 優先権主張番号 特願平6-318785

(32) 優先日 平6(1994)12月21日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 渡部 毅代登

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社ユー・エル・エス・アイ開発研究

所内

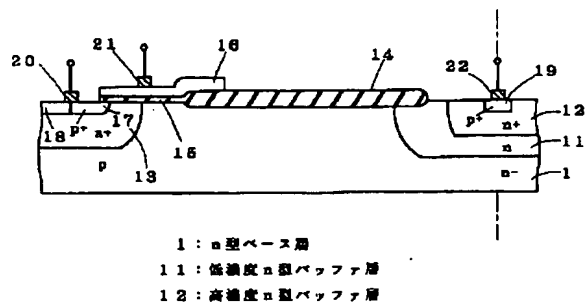
(74) 代理人 弁理士 吉田 茂明 (外2名)

(54) 【発明の名称】 絶縁ゲート型バイポーラトランジスタ及びその製造方法並びに半導体集積回路及びその製造方法

(57) 【要約】

【目的】 良好な耐圧、オン電圧及びターンオフ特性を有する絶縁ゲート型バイポーラトランジスタを得る。

【構成】 p型コレクタ層19と高抵抗n型ベース層1間に高濃度n型バッファ層12と低濃度n型バッファ層11とを設けた構造を呈し、オン状態時には低濃度n型バッファ層11及び高濃度n型バッファ層12それぞれを伝播するキャリアの濃度がn型バッファ層11及び12それぞれの不純物濃度以上になるように低濃度n型バッファ層11及び高濃度n型バッファ層12それぞれの不純物濃度を設定する。



1

## 【特許請求の範囲】

【請求項1】 第1の導電型の第1の半導体層と、  
前記第1の半導体層の上層部に選択的に形成される第2の導電型の第2の半導体層と、  
前記第2の半導体層の表面に選択的に形成される第1の導電型の第3の半導体層と、  
前記第1の半導体層と前記第3の半導体層との間の前記第2の半導体層上に形成される絶縁膜と、  
前記絶縁膜上に形成される制御電極部と、  
前記第1の半導体層内に前記第2の半導体層と独立して選択的に形成される第1の導電型の第4の半導体層と、  
前記第4の半導体層の表面に選択的に形成される第2の導電型の第5の半導体層とを備え、  
前記第4の半導体層は、  
前記第1の半導体層から前記第5の半導体層にかけて互いに隣接して形成される第1の導電型の第1～第n ( $n \geq 2$ ) のバッファ層を有し、前記第nのバッファ層の表面に前記第5の半導体層が形成されており、  
前記第1～第nのバッファ層は、前記第1～第nのバッファ層それぞれの第1の導電型の不純物濃度を $B_1 \sim B_n$ とし、前記制御電極部に所定の電圧を印加し前記第3、第5の半導体層間に所定の電位差を設定して前記第3、第5の半導体層間に電流を流すオン状態時において、前記第1～第nのバッファ層それぞれを伝播するキャリアの濃度を $C_1 \sim C_n$ としたとき、  
条件式1:  $B_1 < B_2 < \dots < B_n$   
条件式2:  $B_i < C_i$  ( $1 \leq i \leq n$ )  
を共に満足することを特徴とする、絶縁ゲート型バイポーラトランジスタ。

【請求項2】 前記第1～第nのバッファ層の不純物濃度 $B_1 \sim B_n$ はそれぞれ $3.4 \times 10^{16} \sim 8.0 \times 10^{17} \text{ cm}^{-3}$ の範囲内に設定される請求項1記載の絶縁ゲート型バイポーラトランジスタ。

【請求項3】 前記第4の半導体層は前記第1の半導体層の表面から裏面を貫通して形成される、請求項1あるいは請求項2記載の絶縁ゲート型バイポーラトランジスタ。

【請求項4】 第1の導電型の第1の半導体層と、  
前記第1の半導体層の上層部に選択的に形成される第2の導電型の第2の半導体層と、  
前記第2の半導体層の表面に選択的に形成される第1の導電型の第3の半導体層と、  
前記第1の半導体層と前記第3の半導体層との間の前記第2の半導体層上に形成される絶縁膜と、  
前記絶縁膜上に形成される制御電極部と、  
前記第1の半導体層内に前記第2の半導体層と独立して選択的に形成される第1の導電型の第4の半導体層と、  
前記第4の半導体層の表面に選択的に形成される第2の導電型の第5の半導体層とを備え、  
前記第4の半導体層は、前記第1の半導体層から前記第

2

5の半導体層にかけて形成される第1の導電型の第1及び第2のバッファ層を有し、前記第2のバッファ層は、前記第1のバッファ層より不純物濃度が高く、前記第1のバッファ層の表面に選択的に形成され、  
前記第5の半導体層は、前記第1及び第2のバッファ層の表面に形成されることを特徴とする絶縁ゲート型バイポーラトランジスタ。

【請求項5】 第1の導電型の第1の半導体層と、  
前記第1の半導体層の上層部に選択的に形成される第2の導電型の第2の半導体層と、  
前記第2の半導体層の表面に選択的に形成される第1の導電型の第3の半導体層と、  
前記第1の半導体層と前記第3の半導体層との間の前記第2の半導体層上に形成される絶縁膜と、  
前記絶縁膜上に形成される制御電極部と、  
前記第1の半導体層内に前記第2の半導体層と独立して選択的に形成される第1の導電型の第4の半導体層と、  
前記第4の半導体層の表面に選択的に形成される第2の導電型の第5の半導体層とを備え、

前記第4の半導体層は、前記第1の半導体層から前記第5の半導体層にかけて形成される第1の導電型の第1及び第2のバッファ層を有し、前記第2のバッファ層は、前記第1のバッファ層より不純物濃度が高く、前記第1のバッファ層の表面に選択的に形成され、  
前記第5の半導体層は、前記第1のバッファ層の表面のみに形成され、前記第2のバッファ層とは所定の距離を隔てていることを特徴とする絶縁ゲート型バイポーラトランジスタ。

【請求項6】 請求項1記載の絶縁ゲート型バイポーラトランジスタと、  
前記第1の半導体層内に前記絶縁ゲート型バイポーラトランジスタと独立して形成される電界効果型トランジスタとを備え、  
前記電界効果型トランジスタは、

前記第1の半導体層の上層部に形成される第2の導電型のウェル領域と、  
前記ウェル領域の表面に選択的に形成される第1の導電型の第1及び第2の拡散領域と、  
前記第1及び第2の拡散領域間の前記ウェル領域上に形成される第2の絶縁膜と、  
前記第2の絶縁膜上に形成される第2の制御電極部とを備え、  
前記ウェル領域の不純物濃度を前記絶縁ゲート型バイポーラトランジスタの前記第2の半導体層の不純物濃度と同一に設定することを特徴とする、半導体集積回路。

【請求項7】 請求項1記載の絶縁ゲート型バイポーラトランジスタと、  
前記第1の半導体層内に前記絶縁ゲート型バイポーラトランジスタと独立して形成される電界効果型トランジスタとを備え、

前記電界効果型トランジスタは、  
 前記第1の半導体層の上層部に形成される第1の導電型のウェル領域と、  
 前記ウェル領域の表面に選択的に形成される第2の導電型の第1及び第2の拡散領域と、  
 前記第1及び第2の拡散領域間の前記ウェル領域上に形成される第2の絶縁膜と、  
 前記第2の絶縁膜上に形成される第2の制御電極部とを備え、  
 前記絶縁ゲート型バイポーラトランジスタの前記第1～第nのパッファ層それぞれの不純物濃度 $B_1 \sim B_n$ において、 $SB_k (k=2 \sim n) = B_k - B_{(k-1)}$ 、 $SB_1 = B_1$ としたとき、  
 前記ウェル領域の不純物濃度を $SB_1 \sim SB_n$ のうちいずれか一の値に設定することを特徴とする、半導体集積回路。

【請求項8】 請求項1記載の絶縁ゲート型バイポーラトランジスタと、II 前記第1の半導体層内に前記絶縁ゲート型バイポーラトランジスタと独立して形成される第1及び第2の電界効果型トランジスタとを備え、  
 前記第1の電界効果型トランジスタは、  
 前記第1の半導体層の上層部に形成される第2の導電型の第1のウェル領域と、  
 前記第1のウェル領域の表面に選択的に形成される第1の導電型の第1及び第2の拡散領域と、  
 前記第1及び第2の拡散領域間の前記第1のウェル領域上に形成される第2の絶縁膜と、  
 前記第2の絶縁膜上に形成される第2の制御電極部とを備え、  
 前記第2の電界効果型トランジスタは、  
 前記第1の半導体層と、  
 前記第1の半導体層の上層部に前記第1のウェル領域と独立して形成される第1の導電型の第2のウェル領域と、  
 前記第2のウェル領域の表面に選択的に形成される第2の導電型の第3及び第4の拡散領域と、  
 前記第3及び第4の拡散領域間の前記第2のウェル領域上に形成される第3の絶縁膜と、  
 前記第3の絶縁膜上に形成される第3の制御電極部とを備え、  
 前記第1のウェル領域の不純物濃度を前記絶縁ゲート型バイポーラトランジスタお前記第2の半導体層の不純物濃度と同一に設定し、前記絶縁ゲート型バイポーラトランジスタの前記第1～第nのパッファ層それぞれの不純物濃度 $B_1 \sim B_n$ において、 $SB_k (k=2 \sim n) = B_k - B_{(k-1)}$ 、 $SB_1 = B_1$ としたとき、前記第2のウェル領域の不純物濃度を $SB_1 \sim SB_n$ のうちいずれか一の値に設定することを特徴とする、半導体集積回路。

【請求項9】 (a) 第1の導電型の第1の半導体層を準備

するステップと、  
 (b) 前記第1の半導体層の上層部に第2の導電型の第2の半導体層を選択的に形成するステップと、  
 (c) 前記第2の半導体層の表面に第1の導電型の第3の半導体層を選択的に形成するステップと、  
 (d) 前記第1の半導体層と前記第3の半導体層との間の前記第2の半導体層上に絶縁膜を形成するステップと、  
 (e) 前記絶縁膜上に制御電極部を形成するステップと、  
 (f) 前記第1の半導体層内に前記第2の半導体層と独立して第1の導電型の第4の半導体層を選択的に形成するステップと、  
 (g) 前記第4の半導体層の前記第nのパッファ層の表面に第2の導電型の第5の半導体層を選択的に形成するステップとを備え、  
 前記ステップ(f)は、第1の導電型の不純物を選択的に導入する第1～第nの不純物導入処理を順次施すことにより、前記第1の半導体層から前記第5の半導体層にかけて互いに隣接する第1～第n ( $n \geq 2$ ) のパッファ層を前記第4の半導体層として形成し、  
 前記第1～第nのパッファ層それぞれの第1の導電型の不純物濃度を $B_1 \sim B_n$ とし、前記制御電極部に所定の電圧を印加し前記第3、第5の半導体層間に所定の電位差を設定して前記第3、第5の半導体層間に電流を流すオン状態時において、前記第1～第nのパッファ層それぞれを伝播するキャリアの濃度を $C_1 \sim C_n$ としたとき、  
 条件式1:  $B_1 < B_2 < \dots < B_n$   
 条件式2:  $B_i < C_i (1 \leq i \leq n)$   
 を共に満足することを特徴とする、絶縁ゲート型バイポーラトランジスタの製造方法。  
 【請求項10】 同一基板上に絶縁ゲート型バイポーラトランジスタと電界効果型トランジスタとを製造する半導体集積回路の製造方法であって、  
 (a) 基板となる第1の導電型の第1の半導体層を準備するステップと、  
 (b) 前記第1の半導体層の上層部に第2の導電型の第2の半導体層を選択的に形成するステップと、  
 (c) 前記第2の半導体層の表面に第1の導電型の第3の半導体層を選択的に形成するステップと、  
 (d) 前記第1の半導体層と前記第3の半導体層との間の前記第2の半導体層上に第1の絶縁膜を形成するステップと、  
 (e) 前記第1の絶縁膜上に第1の制御電極部を形成するステップと、  
 (f) 前記第1の半導体層内に前記第2の半導体層と独立して第1の導電型の第4の半導体層を選択的に形成するステップと、  
 (g) 前記第4の半導体層の前記第nのパッファ層の表面に第2の導電型の第5の半導体層を選択的に形成するステップとを備え、

前記ステップ(f)は、第1の導電型の不純物を選択的に導入する第1～第nの不純物導入処理を順次施すことにより、前記第1の半導体層から前記第5の半導体層にかけて互いに隣接する第1～第n ( $n \geq 2$ ) のバッファ層を前記第4の半導体層として形成し、前記ステップ(a)～(g)により前記絶縁ゲート型バイポーラトランジスタが製造され、

前記第1～第nのバッファ層それぞれの第1の導電型の不純物濃度を $B_1 \sim B_n$ とし、前記制御電極部に所定の電圧を印加し前記第3、第5の半導体層間に所定の電位差を設定して前記第3、第5の半導体層間に電流を流す

オン状態時において前記第1～第nのバッファ層それぞれを伝播するキャリアの濃度を $C_1 \sim C_n$ としたとき、

条件式1:  $B_1 < B_2 < \dots < B_n$

条件式2:  $B_i < C_i$  ( $1 \leq i \leq n$ )

を共に満足し、

(h) 前記第1の半導体層の上層部に第2の導電型のウェル領域を形成するステップと、

(i) 前記ウェル領域の表面に第1の導電型の第1及び第2の拡散領域を選択的に形成するステップと、

(j) 前記第1及び第2の拡散領域間の前記ウェル領域上に第2の絶縁膜を形成するステップと、

(k) 前記第2の絶縁膜上に第2の制御電極部を形成するステップとをさらに備え、前記ステップ(h)～(k)により前記電界効果型トランジスタが製造され、

前記ステップ(b)と前記ステップ(h)とにおける第2の導電型の不純物の不純物濃度導入条件を同一にすることを特徴とする、半導体集積回路の製造方法。

【請求項11】 同一基板上に絶縁ゲート型バイポーラトランジスタと電界効果型トランジスタとを製造する半導体集積回路の製造方法であって、

(a) 基板となる第1の導電型の第1の半導体層を準備するステップと、

(b) 前記第1の半導体層の上層部に第2の導電型の第2の半導体層を選択的に形成するステップと、

(c) 前記第2の半導体層の表面に第1の導電型の第3の半導体層を選択的に形成するステップと、

(d) 前記第1の半導体層と前記第3の半導体層との間の前記第2の半導体層上に第1の絶縁膜を形成するステップと、

(e) 前記第1の絶縁膜上に第1の制御電極部を形成するステップと、

(f) 前記第1の半導体層内に前記第2の半導体層と独立して第1の導電型の第4の半導体層を選択的に形成するステップと、

(g) 前記第4の半導体層の前記第nのバッファ層の表面に第2の導電型の第5の半導体層を選択的に形成するステップとをさらに備え、

前記ステップ(f)は、第1の導電型の不純物を選択的に導入する第1～第nの不純物導入処理を順次施すことにより、前記第1の半導体層から前記第5の半導体層にかけて互いに隣接する第1～第n ( $n \geq 2$ ) のバッファ層を前記第4の半導体層として形成し、前記第i ( $1 \leq i \leq n$ ) のバッファ層は第1～第iの不純物導入処理により不純物濃度が設定され、前記ステップ(a)～(g)により前記絶縁ゲート型バイポーラトランジスタが製造され、

前記第1～第nのバッファ層それぞれの第1の導電型の不純物濃度を $B_1 \sim B_n$ とし、前記制御電極部に所定の電圧を印加し前記第3、第5の半導体層間に所定の電位差を設定して前記第3、第5の半導体層間に電流を流すオン状態時において前記第1～第nのバッファ層それぞれを伝播するキャリアの濃度を $C_1 \sim C_n$ としたとき、

条件式1:  $B_1 < B_2 < \dots < B_n$

条件式2:  $B_i < C_i$  ( $1 \leq i \leq n$ )

を共に満足し、

(h) 前記第1の半導体層の上層部に第1の導電型のウェル領域を形成するステップと、

(i) 前記ウェル領域の表面に第2の導電型の第1及び第2の拡散領域を選択的に形成するステップと、

(j) 前記第1及び第2の拡散領域間の前記ウェル領域上に第2の絶縁膜を形成するステップと、

(k) 前記第2の絶縁膜上に第2の制御電極部を形成するステップとを備え、前記ステップ(h)～(k)により前記電界効果型トランジスタが製造され、

前記ステップ(f)の前記第1～第nの不純物導入処理のいずれか一の処理とステップ(h)での不純物導入処理における第1の導電型の不純物の不純物濃度導入条件を同一にすることを特徴とする、半導体集積回路の製造方法。

【請求項12】 同一基板上に絶縁ゲート型バイポーラトランジスタと第1及び第2の電界効果型トランジスタとを製造する半導体集積回路の製造方法であって、

(a) 基板となる第1の導電型の第1の半導体層を準備するステップと、

(b) 前記第1の半導体層の上層部に第2の導電型の第2の半導体層を選択的に形成するステップと、

(c) 前記第2の半導体層の表面に第1の導電型の第3の半導体層を選択的に形成するステップと、

(d) 前記第1の半導体層と前記第3の半導体層との間の前記第2の半導体層上に第1の絶縁膜を形成するステップと、

(e) 前記第1の絶縁膜上に第1の制御電極部を形成するステップと、

(f) 前記第1の半導体層内に前記第2の半導体層と独立して第4の半導体層を選択的に形成するステップと、

(g) 前記第4の半導体層の前記第nのバッファ層の表面に第2の導電型の第5の半導体層を選択的に形成するステップとを備え、

前記ステップ(f)は、第1の導電型の不純物を選択的に導入する第1～第nの不純物導入処理を順次施すことにより、前記第1の半導体層から前記第5の半導体層にかけて互いに隣接する第1～第n ( $n \geq 2$ ) のバッファ層を前記第4の半導体層として形成し、前記第i ( $1 \leq i \leq n$ ) のバッファ層は第1～第iの不純物導入処理により不純物濃度が設定され、前記ステップ(a)～(g)により前記絶縁ゲート型バイポーラトランジスタが製造され、

7

より、前記第1の半導体層から前記第5の半導体層にかけて互いに隣接する第1～第n ( $n \geq 2$ ) のバッファ層を形成するステップを有し、前記第i ( $1 \leq i \leq n$ ) のバッファ層は第1～第1の不純物導入処理により不純物濃度が設定され、前記ステップ(a)～(g)により前記絶縁ゲート型バイポーラトランジスタが製造され、

前記第1～第nのバッファ層それぞれの第1の導電型の不純物濃度を $B_1 \sim B_n$ とし、前記制御電極部に所定の電圧を印加し前記第3、第5の半導体層間に所定の電位差を設定して前記第3、第5の半導体層間に電流を流すオン状態時において前記第1～第nのバッファ層それぞれを伝播するキャリアの濃度を $C_1 \sim C_n$ としたとき、

条件式1:  $B_1 < B_2 < \dots < B_n$

条件式2:  $B_i < C_i$  ( $1 \leq i \leq n$ )

を共に満足し、

(b) 前記第1の半導体層の上層部に第2の導電型の第1のウェル領域を形成するステップと、

(i) 前記第1のウェル領域の表面に第1の導電型の第1及び第2の拡散領域を選択的に形成するステップと、

(j) 前記第1及び第2の拡散領域間の前記第1のウェル領域上に第2の絶縁膜を形成するステップと、

(k) 前記第2の絶縁膜上に第2の制御電極部を形成するステップとをさらに備え、前記ステップ(h)～(j)により前記第1の電界効果型トランジスタが製造され、

(l) 前記第1の半導体層の上層部に第1の導電型の第2のウェル領域を形成するステップと、

(m) 前記第2のウェル領域の表面に第2の導電型の第3及び第4の拡散領域を選択的に形成するステップと、

(n) 前記第3及び第4の拡散領域間の前記第2のウェル領域上に第3の絶縁膜を形成するステップと、

(o) 前記第3の絶縁膜上に第3の制御電極部を形成するステップとをさらに備え、前記ステップ(l)～(o)により前記第2の電界効果型トランジスタが製造され、

前記ステップ(b)と前記ステップ(h)とにおける第2の導電型の不純物の不純物濃度導入条件を同一にするとともに、前記ステップ(f)の前記第1～第nの不純物導入処理のいずれか一の処理とステップ(l)での不純物導入処理とにおける第1の導電型の不純物の不純物濃度導入条件を同一にすることを特徴とする、半導体集積回路の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は絶縁ゲート型バイポーラトランジスタ(IGBT)及びその製造方法並びにIGBTを含んだ半導体集積回路及びその製造方法に関する。

【0002】

【従来の技術】図17は従来の横型IGBTの断面構造を示す断面図である。このIGBTは以下のようにして製造される。まず、不純物濃度が比較的低濃度のn型ベ

8

ース層1の一部に不純物を拡散させて不純物濃度が比較的高濃度のn型バッファ層2を形成する。そして、n型ベース層1上にゲート絶縁膜24及びゲートとして機能するポリシリコン膜3を選択的に形成する。次にポリシリコン膜3をマスクとして位置Aより図面上の左側からn型ベース層1の上層部に不純物をデポジションした後には拡散させ、p型ベース層4を形成する。この際同時にコレクタとなるp型コレクタ層19を拡散によりn型バッファ層2の表面に選択的に形成する。そして、p型ベース層4の表面にエミッタとなるn型エミッタ層17を形成する。

【0003】図19は、従来の横型IGBTの平面構造を示す平面図である。図19のA-A断面が図17に相当する。図19に示すように、p型ベース層4、n型エミッタ層17、ゲート電極3、n型ベース層1、低濃度n型バッファ層2及びp型コレクタ層19の平面形状はそれぞれ長円形状であり、p型ベース層4の内側にn型エミッタ層17が形成され、以下、同様に、ゲート電極3、n型ベース層1、低濃度n型バッファ層2及びp型コレクタ層19の順で内側に形成される。

【0004】最後に、p型ベース層4及びn型エミッタ層17それぞれの一部上にエミッタ電極20を形成し、ポリシリコン膜3上にゲート電極21を形成し、p型コレクタ層19上にコレクタ電極22を形成する。これにより図17に示すように横型IGBTが形成される。なお、以降の断面図において、p型コレクタ層19が平面的に中心に位置することを示すべく、p型コレクタ層19の中心に一点鎖線を描画する場合がある。

【0005】従来のIGBT構造によれば、ゲート電極21とエミッタ電極20を接地し、p型コレクタ層19に正の電圧が印加されたときにn型バッファ層2が空乏層の広がりを抑えている。またゲート電極21にエミッタ電極20に対し正の電圧を印加すれば、ゲート3下のp型ベース層4の表面にn型チャネルが形成されn型ベース層1を通してp型コレクタ層19に電子が流れ込む。その際に電荷中性条件を満たそうと、p型コレクタ層19から正孔が注入される。よって導電率変調が大きくなりオン電圧はパワーMOSFETに比べ低くなる。

【0006】

【発明が解決しようとする課題】スイッチングロスとは通常、オン電圧とターンオフ時間の積で現される。したがって消費電力を下げる為にはオン電圧は低く、ターンオフ時間は短いスイッチングロスを低減したIGBTが望まれる。

【0007】また、高耐圧素子として期待されるIGBTは当然のことながら、耐圧向上を重要な目的としており、耐圧向上を図ったIGBTは様々な構造で発表されているが、これらはオン電圧について全く考慮していないという問題点があった。

【0008】ところで、パワーICにおいては、IGB

Tのような高耐圧素子と同一基板に、ロジック回路を形成するためのCMOS素子等の低耐圧素子を形成する必要がある。図18はn型チャネルMOSFETの断面構造を示す断面図である。まず、高耐圧素子と同一のn型ベース層1にp型ウエル拡散層7を形成する。そして、p型ウエル拡散層7の表面に選択的にゲート絶縁膜23及びゲートとして機能するポリシリコン膜8を選択的に形成する。次にポリシリコン膜8をマスクとして、p型ウエル拡散層7の表面上でポリシリコン膜8の両側にソース及びドレインとなる比較的高濃度のn型拡散層9、10を形成する。そして、n型拡散層9上にドレイン電極64、n型拡散層10上にソース電極、ポリシリコン膜8上にゲート66を形成する。これにより図18に示すような低耐圧MOSFETが形成される。

【0009】上記した高耐圧素子(IGBT)及び低耐圧素子(MOSFET)の製造工程において、高耐圧素子のp型ベース層4と低耐圧素子のp型ウエル拡散層7とは、ともにチャネル部を形成するための拡散層である。しかしこれらは下記の理由から別々の工程で形成する必要がある。

【0010】高耐圧素子のp型チャネル部となるp型ベース層4は、ポリシリコン膜3をマスクとして位置Aの左から不純物をデポジション後に拡散して形成されるため、ポリシリコン膜3下のp型チャネル部は横方向拡散により形成される。つまり、位置Aから右方向にいくにしたがって不純物濃度が減少する傾向がある。

【0011】一方、低耐圧素子のp型チャネル部となるp型ウエル拡散層7は、ポリシリコン膜8の形成前に形成されるため、n型ベース層1の表面からの縦方向拡散により形成されるため、横方向には均一な不純物濃度を得ることができる。

【0012】このように高耐圧素子と低耐圧素子とのチャネル部の形成方法に本質的相違があるため、p型ベース層4とp型ウエル拡散層7とは、不純物の注入量が異なる。さらに、前述したように高耐圧素子のp型チャネル部がp型ベース層4の横方向拡散を利用しているため、拡散の深さでチャネル長Lが決まってしまう。このため、高耐圧素子は拡散の深さを低耐圧素子とは別に独立に設計する必要があった。

【0013】このようにパワーICに用いられている従来のIGBTは、同時に集積化される低耐圧素子である電界効果トランジスタと製造工程が独立しており、両者を1チップ上に集積化する為には製造工程が複雑にならざるを得ないという問題があった。

【0014】この発明は上記問題点を解決するためになされたもので、耐圧向上、オン電圧の低減化及びターンオフ時間の短縮を図り、良好な耐圧、オン電圧及びターンオフ特性を有する絶縁ゲート型バイポーラトランジスタ及びその製造方法並びに上記絶縁ゲート型バイポーラトランジスタと電界効果トランジスタとからなる半導体

集積回路及びその製造方法を得ることを目的とする。

【0015】

【課題を解決するための手段】この発明に係る請求項1記載の絶縁ゲート型バイポーラトランジスタは、第1の導電型の第1の半導体層と、前記第1の半導体層の上層部に選択的に形成される第2の導電型の第2の半導体層と、前記第2の半導体層の表面に選択的に形成される第1の導電型の第3の半導体層と、前記第1の半導体層と前記第3の半導体層との間の前記第2の半導体層上に形成される絶縁膜と、前記絶縁膜上に形成される制御電極部と、前記第1の半導体層内に前記第2の半導体層と独立して選択的に形成される第1の導電型の第4の半導体層と、前記第4の半導体層の表面に選択的に形成される第2の導電型の第5の半導体層とを備え、前記第4の半導体層は、前記第1の半導体層から前記第5の半導体層にかけて互いに隣接して形成される第1の導電型の第1～第n( $n \geq 2$ )のバッファ層を有し、前記第nのバッファ層の表面に前記第5の半導体層が形成されており、前記第1～第nのバッファ層は、前記第1～第nのバッファ層それぞれの第1の導電型の不純物濃度を $B_1 \sim B_n$ とし、前記制御電極部に所定の電圧を印加し前記第3、第5の半導体層間に所定の電位差を設定して前記第3、第5の半導体層間に電流を流すオン状態時において、前記第1～第nのバッファ層それぞれを伝播するキャリアの濃度を $C_1 \sim C_n$ としたとき、条件式1:  $B_1 < B_2 < \dots < B_n$ 、条件式2:  $B_i < C_i$  ( $1 \leq i \leq n$ )を共に満足するように構成している。

【0016】また、請求項2記載の絶縁ゲート型バイポーラトランジスタのように、前記第1～第nのバッファ層の不純物濃度 $B_1 \sim B_n$ をそれぞれ $3.4 \times 10^{16} \sim 8.0 \times 10^{17} \text{ cm}^{-3}$ の範囲内に設定してもよい。

【0017】また、請求項3記載の絶縁ゲート型バイポーラトランジスタのように、前記第4の半導体層は前記第1の半導体層の表面から裏面を貫通して形成してもよい。

【0018】この発明に係る請求項4記載の絶縁ゲート型バイポーラトランジスタは、第1の導電型の第1の半導体層と、前記第1の半導体層の上層部に選択的に形成される第2の導電型の第2の半導体層と、前記第2の半導体層の表面に選択的に形成される第1の導電型の第3の半導体層と、前記第1の半導体層と前記第3の半導体層との間の前記第2の半導体層上に形成される絶縁膜と、前記絶縁膜上に形成される制御電極部と、前記第1の半導体層内に前記第2の半導体層と独立して選択的に形成される第1の導電型の第4の半導体層と、前記第4の半導体層の表面に選択的に形成される第2の導電型の第5の半導体層とを備え、前記第4の半導体層は、前記第1の半導体層から前記第5の半導体層にかけて形成される第1の導電型の第1及び第2のバッファ層を有し、前記第2のバッファ層は、前記第1のバッファ層より不



純物濃度が高く、前記第1のバッファ層の表面に選択的に形成され、前記第5の半導体層は、前記第1及び第2のバッファ層の表面に形成される。

【0019】この発明に係る請求項5記載の絶縁ゲート型バイポーラトランジスタは、第1の導電型の第1の半導体層と、前記第1の半導体層の上層部に選択的に形成される第2の導電型の第2の半導体層と、前記第2の半導体層の表面に選択的に形成される第1の導電型の第3の半導体層と、前記第1の半導体層と前記第3の半導体層との間の前記第2の半導体層上に形成される絶縁膜と、前記絶縁膜上に形成される制御電極部と、前記第1の半導体層内に前記第2の半導体層と独立して選択的に形成される第1の導電型の第4の半導体層と、前記第4の半導体層の表面に選択的に形成される第2の導電型の第5の半導体層とを備え、前記第4の半導体層は、前記第1の半導体層から前記第5の半導体層にかけて形成される第1の導電型の第1及び第2のバッファ層を有し、前記第2のバッファ層は、前記第1のバッファ層より不純物濃度が高く、前記第1のバッファ層の表面に選択的に形成され、前記第5の半導体層は、前記第1のバッファ層の表面のみに形成され、前記第2のバッファ層とは所定の距離を隔てている。

【0020】この発明に係る請求項6記載の半導体集積回路は、請求項1記載の絶縁ゲート型バイポーラトランジスタと、前記第1の半導体層内に前記絶縁ゲート型バイポーラトランジスタと独立して形成される電界効果型トランジスタとを備え、前記電界効果型トランジスタは、前記第1の半導体層の上層部に形成される第2の導電型のウェル領域と、前記ウェル領域の表面に選択的に形成される第1の導電型の第1及び第2の拡散領域と、前記第1及び第2の拡散領域間の前記ウェル領域上に形成される第2の絶縁膜と、前記第2の絶縁膜上に形成される第2の制御電極部とを備え、前記ウェル領域の不純物濃度を前記絶縁ゲート型バイポーラトランジスタの前記第2の半導体層の不純物濃度と同一に設定している。

【0021】この発明に係る請求項7記載の半導体集積回路は、請求項1記載の絶縁ゲート型バイポーラトランジスタと、前記第1の半導体層内に前記絶縁ゲート型バイポーラトランジスタと独立して形成される電界効果型トランジスタとを備え、前記電界効果型トランジスタは、前記第1の半導体層の上層部に形成される第1の導電型のウェル領域と、前記ウェル領域の表面に選択的に形成される第2の導電型の第1及び第2の拡散領域と、前記第1及び第2の拡散領域間の前記ウェル領域上に形成される第2の絶縁膜と、前記第2の絶縁膜上に形成される第2の制御電極部とを備え、前記絶縁ゲート型バイポーラトランジスタの前記第1～第nのバッファ層それぞれの不純物濃度 $B_1 \sim B_n$ において、 $SB_k (k=2 \sim n) = B_k - B_{(k-1)}$ 、 $SB_1 = B_1$ としたとき、前記ウェル領域の不純物濃度を $SB_1 \sim SB_n$ のう

ちいずれか一の値に設定している。

【0022】この発明に係る請求項8記載の半導体集積回路は、請求項1記載の絶縁ゲート型バイポーラトランジスタと、前記第1の半導体層内に前記絶縁ゲート型バイポーラトランジスタと独立して形成される第1及び第2の電界効果型トランジスタとを備え、前記第1の電界効果型トランジスタは、前記第1の半導体層の上層部に形成される第2の導電型の第1のウェル領域と、前記第1のウェル領域の表面に選択的に形成される第1の導電型の第1及び第2の拡散領域と、前記第1及び第2の拡散領域間の前記第1のウェル領域上に形成される第2の絶縁膜と、前記第2の絶縁膜上に形成される第2の制御電極部とを備え、前記第2の電界効果型トランジスタは、前記第1の半導体層と、前記第1の半導体層の上層部に前記第1のウェル領域と独立して形成される第1の導電型の第2のウェル領域と、前記第2のウェル領域の表面に選択的に形成される第2の導電型の第3及び第4の拡散領域と、前記第3及び第4の拡散領域間の前記第2のウェル領域上に形成される第3の絶縁膜と、前記第3の絶縁膜上に形成される第3の制御電極部とを備え、前記第1のウェル領域の不純物濃度を前記絶縁ゲート型バイポーラトランジスタの前記第2の半導体層の不純物濃度と同一に設定し、前記絶縁ゲート型バイポーラトランジスタの前記第1～第nのバッファ層それぞれの不純物濃度 $B_1 \sim B_n$ において、 $SB_k (k=2 \sim n) = B_k - B_{(k-1)}$ 、 $SB_1 = B_1$ としたとき、前記第2のウェル領域の不純物濃度を $SB_1 \sim SB_n$ のうちいずれか一の値に設定している。

【0023】この発明に係る請求項9記載の絶縁ゲート型バイポーラトランジスタの製造方法は、(a)第1の導電型の第1の半導体層を準備するステップと、(b)前記第1の半導体層の上層部に第2の導電型の第2の半導体層を選択的に形成するステップと、(c)前記第2の半導体層の表面に第1の導電型の第3の半導体層を選択的に形成するステップと、(d)前記第1の半導体層と前記第3の半導体層との間の前記第2の半導体層上に絶縁膜を形成するステップと、(e)前記絶縁膜上に制御電極部を形成するステップと、(f)前記第1の半導体層内に前記第2の半導体層と独立して第1の導電型の第4の半導体層を選択的に形成するステップと、(g)前記第4の半導体層の前記第nのバッファ層の表面に第2の導電型の第5の半導体層を選択的に形成するステップとを備え、前記ステップ(f)は、第1の導電型の不純物を選択的に導入する第1～第nの不純物導入処理を順次施すことにより、前記第1の半導体層から前記第5の半導体層にかけて互いに隣接する第1～第n ( $n \geq 2$ ) のバッファ層を前記第4の半導体層として形成し、前記第1～第nのバッファ層それぞれの第1の導電型の不純物濃度を $B_1 \sim B_n$ とし、前記制御電極部に所定の電圧を印加し前記第3、第5の半導体層間に所定の電位差を設定して前記第

3、第5の半導体層間に電流を流すオン状態時において、前記第1～第nのバッファ層それぞれを伝播するキャリアの濃度を $C_1 \sim C_n$ としたとき、条件式1： $B_1 < B_2 < \dots < B_n$ 、条件式2： $B_i < C_i$  ( $1 \leq i \leq n$ )を共に満足する。

【0024】この発明に係る請求項10記載の半導体集積回路の製造方法は、同一基板上に絶縁ゲート型バイポーラトランジスタと電界効果型トランジスタとを製造する方法であって、(a)基板となる第1の導電型の第1の半導体層を準備するステップと、(b)前記第1の半導体層の上層部に第2の導電型の第2の半導体層を選択的に形成するステップと、(c)前記第2の半導体層の表面に第1の導電型の第3の半導体層を選択的に形成するステップと、(d)前記第1の半導体層と前記第3の半導体層との間の前記第2の半導体層上に第1の絶縁膜を形成するステップと、(e)前記第1の絶縁膜上に第1の制御電極部を形成するステップと、(f)前記第1の半導体層内に前記第2の半導体層と独立して第1の導電型の第4の半導体層を選択的に形成するステップと、(g)前記第4の半導体層の前記第nのバッファ層の表面に第2の導電型の第5の半導体層を選択的に形成するステップとを備え、前記ステップ(f)は、第1の導電型の不純物を選択的に導入する第1～第nの不純物導入処理を順次施すことにより、前記第1の半導体層から前記第5の半導体層にかけて互いに隣接する第1～第n ( $n \geq 2$ )のバッファ層を前記第4の半導体層として形成し、前記ステップ(a)～(g)により前記絶縁ゲート型バイポーラトランジスタが製造され、前記第1～第nのバッファ層それぞれの第1の導電型の不純物濃度を $B_1 \sim B_n$ とし、前記制御電極部に所定の電圧を印加し前記第3、第5の半導体層間に所定の電位差を設定して前記第3、第5の半導体層間に電流を流すオン状態時において前記第1～第nのバッファ層それぞれを伝播するキャリアの濃度を $C_1 \sim C_n$ としたとき、条件式1： $B_1 < B_2 < \dots < B_n$ 、条件式2： $B_i < C_i$  ( $1 \leq i \leq n$ )を共に満足し、(h)前記第1の半導体層の上層部に第2の導電型のウェル領域を形成するステップと、(i)前記ウェル領域の表面に第1の導電型の第1及び第2の拡散領域を選択的に形成するステップと、(j)前記第1及び第2の拡散領域間の前記ウェル領域上に第2の絶縁膜を形成するステップと、(k)前記第2の絶縁膜上に第2の制御電極部を形成するステップとをさらに備え、前記ステップ(h)～(k)により前記電界効果型トランジスタが製造され、前記ステップ(b)と前記ステップ(h)とにおける第2の導電型の不純物の不純物濃度導入条件を同一にしている。

【0025】この発明に係る請求項11記載の半導体集積回路の製造方法は、同一基板上に絶縁ゲート型バイポーラトランジスタと電界効果型トランジスタとを製造する方法であって、(a)基板となる第1の導電型の第1の半導体層を準備するステップと、(b)前記第1の半導体

層の上層部に第2の導電型の第2の半導体層を選択的に形成するステップと、(c)前記第2の半導体層の表面に第1の導電型の第3の半導体層を選択的に形成するステップと、(d)前記第1の半導体層と前記第3の半導体層との間の前記第2の半導体層上に第1の絶縁膜を形成するステップと、(e)前記第1の絶縁膜上に第1の制御電極部を形成するステップと、(f)前記第1の半導体層内に前記第2の半導体層と独立して第1の導電型の第4の半導体層を選択的に形成するステップと、(g)前記第4の半導体層の前記第nのバッファ層の表面に第2の導電型の第5の半導体層を選択的に形成するステップとをさらに備え、前記ステップ(f)は、第1の導電型の不純物を選択的に導入する第1～第nの不純物導入処理を順次施すことにより、前記第1の半導体層から前記第5の半導体層にかけて互いに隣接する第1～第n ( $n \geq 2$ )のバッファ層を前記第4の半導体層として形成し、前記第1 ( $1 \leq i \leq n$ )のバッファ層は第1～第iの不純物導入処理により不純物濃度が設定され、前記ステップ(a)～(g)により前記絶縁ゲート型バイポーラトランジスタが製造され、前記第1～第nのバッファ層それぞれの第1の導電型の不純物濃度を $B_1 \sim B_n$ とし、前記制御電極部に所定の電圧を印加し前記第3、第5の半導体層間に所定の電位差を設定して前記第3、第5の半導体層間に電流を流すオン状態時において前記第1～第nのバッファ層それぞれを伝播するキャリアの濃度を $C_1 \sim C_n$ としたとき、条件式1： $B_1 < B_2 < \dots < B_n$ 、条件式2： $B_i < C_i$  ( $1 \leq i \leq n$ )を共に満足し、(h)前記第1の半導体層の上層部に第1の導電型のウェル領域を形成するステップと、(i)前記ウェル領域の表面に第2の導電型の第1及び第2の拡散領域を選択的に形成するステップと、(j)前記第1及び第2の拡散領域間の前記ウェル領域上に第2の絶縁膜を形成するステップと、(k)前記第2の絶縁膜上に第2の制御電極部を形成するステップとを備え、前記ステップ(h)～(k)により前記電界効果型トランジスタが製造され、前記ステップ(f)の前記第1～第nの不純物導入処理のいずれか一の処理とステップ(h)での不純物導入処理における第1の導電型の不純物の不純物濃度導入条件を同一にする。

【0026】この発明に係る請求項12記載の半導体集積回路の製造方法は、同一基板上に絶縁ゲート型バイポーラトランジスタと第1及び第2の電界効果型トランジスタとを製造する方法であって、(a)基板となる第1の導電型の第1の半導体層を準備するステップと、(b)前記第1の半導体層の上層部に第2の導電型の第2の半導体層を選択的に形成するステップと、(c)前記第2の半導体層の表面に第1の導電型の第3の半導体層を選択的に形成するステップと、(d)前記第1の半導体層と前記第3の半導体層との間の前記第2の半導体層上に第1の絶縁膜を形成するステップと、(e)前記第1の絶縁膜上に第1の制御電極部を形成するステップと、(f)前記第

1の半導体層内に前記第2の半導体層と独立して第4の半導体層を選択的に形成するステップと、(g)前記第4の半導体層の前記第nのバッファ層の表面に第2の導電型の第5の半導体層を選択的に形成するステップとを備え、前記ステップ(f)は、第1の導電型の不純物を選択的に導入する第1～第nの不純物導入処理を順次施すことにより、前記第1の半導体層から前記第5の半導体層にかけて互いに隣接する第1～第n ( $n \geq 2$ ) のバッファ層を形成するステップを有し、前記第1 ( $1 \leq i \leq n$ ) のバッファ層は第1～第iの不純物導入処理により不純物濃度が設定され、前記ステップ(a)～(g)により前記絶縁ゲート型バイポーラトランジスタが製造され、前記第1～第nのバッファ層それぞれの第1の導電型の不純物濃度を  $B_1 \sim B_n$  とし、前記制御電極部に所定の電圧を印加し前記第3、第5の半導体層間に所定の電位差を設定して前記第3、第5の半導体層間に電流を流すオン状態時において前記第1～第nのバッファ層それぞれを伝播するキャリアの濃度を  $C_1 \sim C_n$  としたとき、条件式1:  $B_1 < B_2 < \dots < B_n$ 、条件式2:  $B_i < C_i$  ( $1 \leq i \leq n$ ) を共に満足し、(h)前記第1の半導体層の上層部に第2の導電型の第1のウェル領域を形成するステップと、(i)前記第1のウェル領域の表面に第1の導電型の第1及び第2の拡散領域を選択的に形成するステップと、(j)前記第1及び第2の拡散領域間の前記第1のウェル領域上に第2の絶縁膜を形成するステップと、(k)前記第2の絶縁膜上に第2の制御電極部を形成するステップとをさらに備え、前記ステップ(h)～(j)により前記第1の電界効果型トランジスタが製造され、(l)前記第1の半導体層の上層部に第1の導電型の第2のウェル領域を形成するステップと、(m)前記第2のウェル領域の表面に第2の導電型の第3及び第4の拡散領域を選択的に形成するステップと、(n)前記第3及び第4の拡散領域間の前記第2のウェル領域上に第3の絶縁膜を形成するステップと、(o)前記第3の絶縁膜上に第3の制御電極部を形成するステップとをさらに備え、前記ステップ(l)～(o)により前記第2の電界効果型トランジスタが製造され、前記ステップ(b)と前記ステップ(h)とにおける第2の導電型の不純物の不純物濃度導入条件を同一にするとともに、前記ステップ(f)の前記第1～第nの不純物導入処理のいずれか一の処理とステップ(l)での不純物導入処理とにおける第1の導電型の不純物の不純物濃度導入条件を同一にする。

【0027】

【作用】この発明における請求項1記載の絶縁ゲート型バイポーラトランジスタの第1～第nのバッファ層は、第1～第nのバッファ層それぞれの第1の導電型の不純物濃度を  $B_1 \sim B_n$  とし、制御電極部に所定の電圧を印加し第3、第5の半導体層間に所定の電位差を設定して第3、第5の半導体層間に電流を流すオン状態時において第1～第nのバッファ層それぞれを伝播するキャリア

の濃度を  $C_1 \sim C_n$  としたとき、条件式1:  $B_1 < B_2 < \dots < B_n$  及び条件式2:  $B_i < C_i$  ( $1 \leq i \leq n$ ) を共に満足する。

【0028】第1～第nのバッファ層が条件式2を満足することによりオン状態時に良好なオン電圧を得ることができ、第1～第nのバッファ層が条件式1を満足することにより耐圧の向上を図ることができる。

【0029】また、請求項2記載の絶縁ゲート型バイポーラトランジスタは、第1～第nのバッファ層の不純物濃度  $B_1 \sim B_n$  を  $3.4 \times 10^{16} \sim 8.0 \times 10^{17} \text{ cm}^{-3}$  の範囲に設定して、条件式1及び条件式2を満足することにより、実動作レベルで良好なオン電圧、耐圧及びターンオフ特性を実現している。

【0030】また、請求項3記載の絶縁ゲート型バイポーラトランジスタは、第1～第nのバッファ層からなる第4の半導体層は第1の半導体層の表面から裏面を貫通して形成されるため、第1の半導体層の厚みを比較的薄く形成することができる。

【0031】この発明における請求項4記載の絶縁ゲート型バイポーラトランジスタの第5の半導体層は第1及び第2のバッファ層の表面に形成されるため、不純物濃度が第2のバッファ層よりも低い第1のバッファ層とも部分的に直接接続される。

【0032】したがって、オン開始時に、第5の半導体層から比較的低濃度な第1のバッファ層を介してキャリアの注入が生じ順次キャリア濃度を増大させることができる。

【0033】この発明における請求項5記載の絶縁ゲート型バイポーラトランジスタの第5の半導体層は第1のバッファ層の表面に形成されるため、不純物濃度が第2のバッファ層よりも低い第1のバッファ層と第5の半導体層とが必ず電氣的に接続される。

【0034】したがって、オン開始時に、第5の半導体層から比較的低濃度な第1のバッファ層を介してキャリアの注入が生じ順次キャリア濃度を増大させることができる。

【0035】この発明における請求項6記載の半導体集積回路は、電界効果型トランジスタの第2の導電型のウェル領域の不純物濃度を絶縁ゲート型バイポーラトランジスタの第2の導電型の第2の半導体層の不純物濃度と同一に設定しているため、ウェル領域と第2の半導体層とを同一工程で製造することができる。

【0036】この発明における請求項7記載の半導体集積回路は、絶縁ゲート型バイポーラトランジスタの第1～第nのバッファ層それぞれの不純物濃度  $B_1 \sim B_n$  において、 $SB_k$  ( $k=2 \sim n$ ) =  $B_k - B_{(k-1)}$ 、 $SB_1 = B_1$  としたとき、電界効果型トランジスタのウェル領域の不純物濃度を  $SB_1 \sim SB_n$  のうちいずれか一の値に設定している。

【0037】また、条件式1:  $B_1 < B_2 < \dots < B_n$  を

満たすべく、第1～第nのバッファ層は第1～第nの不純物導入処理による多重拡散により製造される。すなわち、第i ( $1 \leq i \leq n$ ) のバッファ層は第1～第iの不純物導入処理による多重拡散により不純物濃度が設定される。このとき、第1～第nの不純物導入処理それぞれにより設定される不純物濃度はSB1～SBnとなる。

【0038】この発明における請求項8記載の半導体集積回路は、第1の電界効果型トランジスタの第1のウェル領域の不純物濃度を第2の半導体層の不純物濃度と同一に設定し、第2の電界効果型トランジスタの第2のウェル領域の不純物濃度を上記したSB1～SBnのうちいずれか一の値に設定している。

【0039】したがって、第1の電界効果型トランジスタの第1のウェル領域と絶縁ゲート型バイポーラトランジスタの第2の半導体層とを同一工程で製造することができ、条件式1： $B1 < B2 < \dots < Bn$ を満たすべく第1～第nのバッファ層は第1～第nの不純物導入処理による多重拡散により製造される場合、第2の電界効果型トランジスタの第2のウェル領域の製造処理と第1～第nの不純物導入処理のいずれか一の処理とを同一工程で製造できる。

【0040】この発明における請求項9記載の製造方法で製造される絶縁ゲート型バイポーラトランジスタの第1～第nのバッファ層は、第1～第nのバッファ層それぞれの第1の導電型の不純物濃度をB1～Bnとし、制御電極部に所定の電圧を印加し第3、第5の半導体層間に所定の電位差を設定して第3、第5の半導体層間に電流を流すオン状態時において第1～第nのバッファ層それぞれを伝播するキャリアの濃度をC1～Cnとしたとき、条件式1： $B1 < B2 < \dots < Bn$ 及び条件式2： $B$  30  $i < C1$  ( $1 \leq i \leq n$ ) を共に満足する。

【0041】第1～第nのバッファ層が条件式2を満足することによりオン状態時に良好なオン電圧を得ることができ、第1～第nのバッファ層が条件式1を満足することにより耐圧の向上を図ることができる。

【0042】この発明における請求項10記載の半導体集積回路の製造方法は、絶縁ゲート型バイポーラトランジスタの製造工程のステップ(b)と電界効果型トランジスタの製造工程のステップ(h)とを同一の不純物濃度導入条件で行うため、ステップ(b)とステップ(h)とを同時に実行することができる。

【0043】この発明における請求項11記載の半導体集積回路の製造方法は、絶縁ゲート型バイポーラトランジスタの製造工程のステップ(f)の第1～第nの不純物導入処理のいずれか一の処理と電界効果型トランジスタの製造工程のステップ(h)での不純物導入処理とを同一の不純物濃度導入条件で行うため、第1～第nの不純物導入処理のいずれか一の処理とステップ(h)とを同時に実行することができる。

【0044】この発明における請求項12記載の半導体 50

集積回路の製造方法は、絶縁ゲート型バイポーラトランジスタの製造工程のステップ(b)と第1の電界効果型トランジスタの製造工程のステップ(h)とを同一の不純物濃度導入条件で行うため、ステップ(b)とステップ(h)とを同時に実行することができる。

【0045】さらに、絶縁ゲート型バイポーラトランジスタの製造工程のステップ(f)の第1～第nの不純物導入処理のいずれか一の処理と第2の電界効果型トランジスタの製造工程のステップ(i)での不純物導入処理とを同一の不純物濃度導入条件で行うため、第1～第nの不純物導入処理のいずれか一の処理とステップ(i)とを同時に実行することができる。

【0046】

【実施例】

<<第1の実施例>>

<構造>図1は、本発明の第1の実施例による横型IGBTの断面構造を示す断面図である。同図に示すように、高抵抗n型ベース層1の上層部にp型ベース層13が選択的に形成され、このp型ベース層13の表面に互いに隣接してn型エミッタ層17及び高濃度p型層18とが形成され、n型ベース層1の上層部にp型ベース層13と独立して低濃度n型バッファ層11が形成され、低濃度n型バッファ層11の上層部に高濃度n型バッファ層12が選択的に形成され、高濃度n型バッファ層12の表面にp型コレクタ層19が選択的に形成される。すなわち、p型コレクタ層19と高抵抗n型ベース層1間に高濃度n型バッファ層12と低濃度n型バッファ層11とを設けた構造となる。ただし、低濃度n型バッファ層11及び高濃度n型バッファ層12の不純物濃度は後述する条件式1及び条件式2を満足する。

【0047】図20は、第1の実施例の横型IGBTの平面構造を示す平面図である。図25のB-B断面が図1に相当する。図20に示すように、高濃度p型層18、n型エミッタ層17、ポリシリコン膜16、n型ベース層1、低濃度n型バッファ層11、高濃度n型バッファ層12及びp型コレクタ層19の平面形状はそれぞれ長円形状であり、高濃度p型層18の内側にn型エミッタ層17が形成され、以下、同様に、ポリシリコン膜16、n型ベース層1、低濃度n型バッファ層11、高濃度n型バッファ層12及びp型コレクタ層19の順で内側に形成される。なお、図20では示していないがp型ベース層13上には必ずポリシリコン膜16が形成されている。

【0048】そして、n型エミッタ層17の一部、p型ベース層13の表面及びn型ベース層1の一部上にゲート絶縁膜15が形成され、ゲート絶縁膜15上にゲート電極部として機能するポリシリコン膜16が形成される。また、n型エミッタ層17及び高濃度p型層18上にエミッタ電極20が形成され、ポリシリコン膜16上にゲート電極21が形成され、p型コレクタ層19上に

コレクタ電極22が形成される。なお、14はフィールド酸化膜である。

【0049】<製造方法>図2～図4は第1の実施例の横型IGBTの製造方法を示す断面図である。以下、図2～図4を参照して第1の実施例の製造方法の説明をする。

【0050】まず、図2に示すように、高抵抗n型ベース層1に選択的にn型の不純物イオンを例えば $1 \times 10^{13} \text{ cm}^{-2}$ の量で注入（第1の不純物注入）し、拡散させて低濃度n型バッファ層11を形成する、次に低濃度n型バッファ層11内に選択的にn型の不純物イオンを注入（第2の不純物注入）し拡散させ、高濃度n型バッファ層12を形成する。したがって、高濃度n型バッファ層12は2重拡散により形成される。ただし、低濃度n型バッファ層11及び高濃度n型バッファ層12の不純物濃度は後述する条件式1及び条件式2を満足する。さらに高抵抗n型ベース層1の上層部に低濃度n型バッファ層11と独立してp型の不純物を選択的に注入し拡散させてp型ベース層13を形成する。

【0051】次に、図3に示すように、LOCOS法を用いてフィールド酸化膜14を形成後、ゲート絶縁膜15を形成し、フィールド酸化膜14及びゲート絶縁膜15上にポリシリコン膜16を形成する。

【0052】そして、図4に示すように、ポリシリコン膜16をゲート電極部の形状に加工する。次に通常の低耐圧CMOSトランジスタの製法と同様に、p型ベース層13の表面にレジストを用いてn型エミッタ層17を選択的に形成する。次にレジストを用い選択的にp型ベース層13の表面にn型エミッタ層17に隣接して高濃度p型層18を形成するとともに、高濃度n型バッファ層12の表面にp型コレクタ層19を選択的に形成する。そして、酸化膜の不要部分を除去し、n型エミッタ層17及び高濃度p型層18それぞれに一部上にエミッタ電極20を形成し、ポリシリコン膜16上にゲート電極21を形成し、p型コレクタ層19上にコレクタ電極22を形成することにより、図1で示した横型IGBTの構造が完成する。

【0053】図5は第1の実施例の横型IGBTの不純物濃度分布とオン状態時のキャリアの濃度分布を示すグラフである。同図にいて、L1が電子の濃度、L2が正孔の濃度をそれぞれ示し、オン時とはエミッタ電極20を接地レベル、ゲート電極21を5V、コレクタ電極22を5Vに設定している。

【0054】第1の実施例の横型高耐圧IGBTにおいてはn型バッファ層を低濃度n型バッファ層11及び高濃度n型バッファ層12により2段階の濃度に分けるこ

とで、図5に示すようにキャリア（電子と正孔）濃度はp型コレクタ層19から高抵抗n型ベース層1に向かうに従い減衰する。

【0055】そこで、オン状態時には低濃度n型バッファ層11及び高濃度n型バッファ層12それぞれを伝播するキャリア濃度がn型バッファ層11及び12の不純物濃度以上になるように、低濃度n型バッファ層11及び高濃度n型バッファ層12それぞれの不純物濃度を設定する。

【0056】その結果、n型バッファ層11及び12の濃度をp型コレクタ層19から高抵抗n型ベース層1との間で2段階で減衰するようにすることによりオン電圧の増加を防ぐことができる。また、ターンオフ時にはキャリアの寿命が不純物濃度に反比例するため、ターンオフ能力も改善される。

【0057】但しn型バッファ層12及び13の濃度は耐圧を維持できる範囲に設定しておかなければならない。したがって、n型バッファ層11の濃度はオン時にはキャリア濃度を下回る範囲で最大限に設定することの

【0058】なお、第1の実施例では、2つの異なる不純物濃度の低濃度n型バッファ層11及び高濃度n型バッファ層12によりバッファ領域を構成したが、3つ以上のバッファ層によりバッファ領域を構成してもよい。

【0059】すなわち、n型ベース層1からp型コレクタ層19にかけて第1～第n（ $n \geq 2$ ）のバッファ層でバッファ層を構成してもよい。第1の実施例では、 $n = 2$ で、第1のバッファ層が低濃度n型バッファ層11に相当し、第2のバッファ層が高濃度n型バッファ層12に相当する。

【0060】そして、第1～第nのバッファ層それぞれの不純物濃度を $B_1 \sim B_n$ とし、オン状態時において第1～第nのバッファ層それぞれを伝播するキャリアの濃度を $C_1 \sim C_n$ としたとき、

条件式1： $B_1 < B_2 < \dots < B_n$

条件式2： $B_i < C_i$ （ $1 \leq i \leq n$ ）

を満足すればよい。

【0061】ただし、良好な耐圧及びターンオフ特性を得るには、上記条件式1及び条件式2を満足する範囲で、各不純物濃度 $B_i$ を最大限にする方が望ましい。

【0062】<<n型バッファ層の濃度>>表1は第1の実施例の横型IGBTの構造における素子耐圧、オン電圧及びターンオフ時間の関係を示す表である。

【0063】

【表1】

SOI 基板仕様		第2リン 注入量 (E12)	第1リン 注入量 (E13)	nch-HVMOS		nch-IGBT		
tSOI(μm)	tox(μm)			Id(mA) Vg=Vd=5V	BVds(V)	Ic(mA) Vg=Vc=5V	BVces(V)	tf(ns) Vc=50V Ic=10mA
10.0	2.0	4.5	0.0	6.5	363	185	100	未測定
			1.0	7.8	309	182	284	590
			20.0	8.1	274	17.5	274	390

【0064】表1において、tSOIはn型活性層33の膜厚、toxは酸化膜31の膜厚、HVMOSとは、p型コレクタ層19をn型の高濃度領域に置き換えた構造の高耐圧なn型MOSトランジスタを意味し、Idはそのドレイン電流、Vgのそのゲート電圧、Vdはそのドレイン電圧、BVdsはそのドレイン、ソース間耐圧である。また、Vcは第1の実施例の横型IGBTに相当するn型のIGBTのコレクタ電圧、BVcesはコレクタ、エミッタ間耐圧、tfはターンオフ時間tf、Icはコレクタ電流である。

【0065】第1の不純物注入時に行う第1のリン注入量で低濃度n型バッファ層11の不純物濃度が決定され、第1及び第2の不純物注入時に行う第1及び第2のリン注入量の総和で高濃度n型バッファ層12の不純物濃度が決定される。横型IGBTの耐圧向上の観点から、高耐HVMOS並の耐圧を得るには第1のリン注入量は $1 \times 10^{13} \text{ cm}^{-2}$ 以上必要であるが、第1のリン注入\*

\*量を $2 \times 10^{14}$ にすればIGBTのコレクタ電流Icが $182 \rightarrow 17.5 \text{ mA}$ と1桁減少する、すなわちオン電圧が上昇してしまう。したがって、高耐圧を維持しオン電圧を低減できる注入量は第2のリン注入量が $4.5 \times 10^{12} \text{ cm}^{-2}$ の場合、第1のリン注入量は約 $1 \times 10^{13} \text{ cm}^{-2}$ が理想である。このとき、ターンオフ時間tfも許容範囲の590nsを達成することができる。

【0066】すなわち、第1の実施例の構造のIGBTにおいて、表1から理想とされるイオン注入量は第1のリン注入量が $1.0 \times 10^{13} \text{ cm}^{-2}$ で、第2のリン注入量が $4.5 \times 10^{12}$ の場合である。

【0067】表2はリン注入量とn型バッファ層の不純物濃度のピーク値との関係を示す表である。このときのイオン注入エネルギーは80keVであり、打ち込み深さは0.1μmである。

【0068】

【表2】

リン注入量 ( $\text{cm}^{-2}$ )	yi(μm)	nバッファ ピーク濃度 ( $\text{cm}^{-3}$ )
$4.5 \times 10^{12}$	1.5	$3.4 \times 10^{16}$
$1 \times 10^{13}$	1.8	$8.2 \times 10^{16}$
$1 \times 10^{14}$	2.6	$8.0 \times 10^{17}$
$1 \times 10^{15}$	3.4	$7.8 \times 10^{18}$
$1 \times 10^{16}$	4.8	$5.2 \times 10^{19}$

【0069】表2において、yiは不純物濃度が $1 \times 10^{16} \text{ cm}^{-3}$ に達する深さを示す。なお、イオン注入及び熱処理後のn型バッファ層の濃度分布との関係は図14の特性曲線L3に示すようになる。図14において、yはn型ベース層1の表面からの深さを示す。

【0070】表2から、理想的な第2のリン注入量に相当する $4.5 \times 10^{12} \text{ cm}^{-2}$ のイオン注入の場合のピーク濃度は $3.4 \times 10^{16} \text{ cm}^{-3}$ であり、理想的な第1のリン注入量に相当する $1 \times 10^{13} \text{ cm}^{-2}$ のイオン注入の

場合のピーク濃度は $8.2 \times 10^{16} \text{ cm}^{-3}$ である。

【0071】したがって、第1の実施例のIGBTの構造では、低濃度n型バッファ層11の不純物ピーク濃度は $8.2 \times 10^{16} \text{ cm}^{-3}$ となり、高濃度n型バッファ層12の不純物ピーク濃度は $11.6 \times 10^{16} \text{ cm}^{-3}$ の場合に耐圧、オン電圧及びターンオフ時間をすべて満足することができる。

【0072】また、表1から、実用レベルの耐圧、ターンオフ時間及びオン電圧を維持するには第1のリン注入

量の限界は $1.0 \times 10^{14} \text{ cm}^{-2}$ 程度であると推測されるため、第1及び第2のリン注入によるリン注入量の範囲はおおよそ $4.5 \times 10^{13} \sim 1.0 \times 10^{14} \text{ cm}^{-2}$ 程度となる。したがって、n型バッファ層の実用レベルにおける不純物濃度設定範囲は表2から、 $3.4 \times 10^{16} \sim 8.0 \times 10^{17} \text{ cm}^{-3}$ 程度と考えられる。

#### 【0073】<<第2の実施例>>

<構造>図6は、図1で示した第1の実施例の高耐圧横型IGBTと低耐圧CMOS素子を同一誘電体分離基板上に形成した第2の実施例の半導体集積回路を示す断面図である。なお、基板もしくはウエハは、酸化膜31により絶縁された支持層32とn型活性層33とを有する。このタイプの基板は貼り合わせSOI法やSIMOX法等によって得ることができる。

【0074】活性層33には、高耐圧横型IGBTの形成領域60と他の高耐圧素子あるいは低耐圧素子の形成領域61とを誘電体分離するために、n型活性層33の表面から裏面にかけて酸化膜48及びポリシリコン埋込み層63が配設される。この誘電体分離構造としては、

トレンチ域はV溝による分離構造を採用することができる。

【0075】形成領域60に形成される横型IGBTは、以下で述べるように、図1で示した第1の実施例の横型IGBTと同一の構造を呈している。n型活性層33の上層部にp型ベース層13が選択的に形成され、このp型ベース層13の表面に互いに隣接してn型エミッタ層17及び高濃度p型層18とが形成され、n型ベース層1の上層部にp型ベース層13と独立して低濃度n型バッファ層11が形成され、低濃度n型バッファ層11の上層部に高濃度n型バッファ層12が選択的に形成され、高濃度n型バッファ層12の表面にp型コレクタ層19が選択的に形成される。n型エミッタ層17の一部、p型ベース層13の表面及びn型ベース層1の一部上にゲート絶縁膜15が形成され、ゲート絶縁膜15上にゲート電極部として機能するポリシリコン膜16が形成される。また、n型エミッタ層17及び高濃度p型層18上にエミッタ電極20が形成され、ポリシリコン膜16上にゲート電極21が形成され、p型コレクタ層19上にコレクタ電極22が形成される。なお、14はフィールド酸化膜である。また、低濃度n型バッファ層11及び高濃度n型バッファ層12の不純物濃度は第1の実施例で述べた条件式1及び条件式2を満足する。

【0076】形成領域61に形成される低耐圧CMOS素子は以下のような構造を呈している。n型活性層33にn型ウエル層5及びp型ウエル層6が選択的に形成される。そして、n型ウエル層5の表面にゲート絶縁膜25及びゲート電極部として機能するポリシリコン膜26が選択的に形成され、p型ウエル層6の表面にゲート絶縁膜27及びゲート電極部として機能するポリシリコン膜28が選択的に形成される。p型ウエル層6の表面上

でポリシリコン膜26の両側にソース及びドレインとなる不純物濃度が比較的高濃度なp型拡散層34及び35が形成され、p型ウエル層6の表面上に不純物濃度が比較的高濃度なn型拡散層36及び37が形成される。そして、p型拡散層34、ポリシリコン膜26及びp型拡散層35上に、ソース電極71、ゲート電極72及びドレイン電極73がそれぞれ形成され、n型拡散層36、ポリシリコン膜28及びn型拡散層37上にソース電極74、ゲート電極75及びドレイン電極76が形成される。

【0077】このとき、第2の実施例の半導体集積回路は、高耐圧横型IGBTの高濃度n型バッファ層12の形成の為に第2のリン注入量のみで設定される不純物濃度に低耐圧PMOSトランジスタのn型ウエル層5の不純物濃度を設定している。

【0078】加えて、高耐圧横型IGBTのp型ベース層13と低耐圧MOSのp型ウエル層6とを同一の不純物濃度に設定している。

【0079】前述したように、第2の実施例の半導体集積回路の横型IGBTは、低濃度n型バッファ層11及び高濃度n型バッファ層12の不純物濃度設定を含めて第1の実施例と同一構造を呈しているため、第1の実施例同様、良好なオン電圧、耐圧及びターンオフ特性を得ることができる。

【0080】<製造方法>図7～図13はこの第2の実施例の半導体集積回路の製造方法を示す断面図である。以下、図7～図13を参照して第2の実施例の半導体集積回路の製造方法を述べる。

【0081】まず、図7に示すように、支持層32、酸化膜31及びn型活性層33からなる貼り合わせSOI基板のn型活性層33の表面を酸化して酸化膜40を形成し、酸化膜40上に窒化膜41を堆積し、窒化膜41上にレジスト42を形成しレジスト42をパターニングする。パターニングされたレジスト42をマスクとしてn型バッファ層11及び12の形成予定領域の窒化膜41を除去した後、リンを $3 \times 10^{13} \text{ cm}^{-2}$ の注入量（第1のリン注入量）で注入する。

【0082】そして、図8に示すように、レジスト42を除去後、 $1200^\circ\text{C}$ で熱処理して低濃度n型バッファ層11を形成した後、窒化膜41及び酸化膜40を除去し、再度SOI基板のn型活性層33及び低濃度n型バッファ層11の表面を酸化して酸化膜56を形成し、酸化膜56上に窒化膜43を堆積し、窒化膜43上にレジスト44を形成しレジスト44をパターニングする。パターニングされたレジスト44をマスクとして、低濃度n型バッファ層11より内側部分の高濃度n型バッファ層12の形成予定部分とCMOS素子のPMOSトランジスタのn型ウエル形成予定部分の窒化膜43とを除去し、リンを $4.5 \times 10^{12} \text{ cm}^{-2}$ の注入量（第2のリン注入量）で注入する。

25

【0083】その後、図9に示すように、レジスト44を除去後、1100℃で熱処理してn型ウエル層5及び高濃度n型バッファ層12を形成した後、窒化膜43を除去する。そして、酸化膜56上にレジスト46を形成し、レジスト46をパターンニングする。その後、CMOS素子のNMOSトランジスタのp型ウエル形成予定部分と横型IGBTのp型ベース形成予定部分が除去されるようにパターンニングされたレジスト46をマスクとして、ボロンを $1 \times 10^{13} \text{ cm}^{-2}$ 注入する。

【0084】次に、図10に示すように、レジスト46を除去後、1100℃で熱処理してp型ウエル層6及びp型ベース層13を形成する。そして、全面に酸化膜47を形成し、横型IGBTの形成領域60と低耐圧CMOS素子の形成領域61との間の熱酸化膜48及びポリシリコン埋込み層63形成予定領域のみを除去して酸化膜47をパターンニングする。そして、パターンニングされた酸化膜47をマスクとして、n型活性層33に対してエッチング処理を施し酸化膜31に達するようにトレンチを形成する。その後、酸化膜47を除去しトレンチ部の側壁を熱酸化して熱酸化膜48を形成した後、トレンチ内を含む全面にポリシリコンを堆積し、n型活性層33の表面に一致するまでポリシリコンをエッチバックしてポリシリコン埋込み層63を形成する。

【0085】そして、図11に示すように、LOCOS法でフィールド酸化膜14を形成し、素子分離が完了する。次にゲート酸化膜51を形成し、全面にポリシリコン膜52を堆積し、ポリシリコン52上にレジスト53を形成する。そして、各デバイスのゲート電極部分のみ残存するようにレジスト53をパターンニングする。その後、パターンニングされたレジスト53をマスクとしてポリシリコン膜52を対し異方性エッチング処理を施してレジスト53を除去する。

【0086】すると、図12に示すように、ゲート絶縁膜15、ポリシリコン膜16、ゲート絶縁膜25、ポリシリコン膜26、ゲート絶縁膜27及びポリシリコン膜28が形成される。その後、全面にレジスト54を形成し、CMOS素子のPMOS部と横型IGBTのp型コレクタ部及びp型ベース引出し部を覆うようにレジスト54をパターンニングする。そして、パターンニングされたレジスト54をマスクとして、ヒ素を $4 \times 10^{15} \text{ cm}^{-2}$ の注入量で注入した後、レジスト54を除去する。

【0087】次に、図13に示すように、全面にレジスト55を形成し、CMOS素子のNMOS部及びIGBTのn型エミッタ部を覆うようにレジスト55をパターンニングする。そして、パターンニングされたレジスト55をマスクとして、ボロンを $4 \times 10^{15} \text{ cm}^{-2}$ の注入量で注入した後、レジスト55を除去する。

【0088】以下熱処理を施し、p型拡散層34、35、n型拡散層36、37、高濃度p型層18、n型エミッタ層17及びn型ベース層1を形成し、パッシブ

26

ション膜を介してp型拡散層34上にソース電極71、ポリシリコン膜26上にゲート電極72、p型拡散層35上にドレイン電極73、n型拡散層36上にソース電極74、ポリシリコン膜28上にゲート電極75、n型拡散層37上にドレイン電極76、n型エミッタ層17及び高濃度p型層18それぞれの一部上にエミッタ電極20、ポリシリコン膜16上にゲート電極21、p型コレクタ層19上にコレクタ電極22をそれぞれ形成して、各デバイスの電極を取り出すことで第1の実施例の横型IGBTと低耐圧CMOS素子を同一基板に形成した第2の実施例の半導体集積回路が完成する。

【0089】第2の実施例の半導体集積回路は、前述したように、高耐圧横型IGBTの高濃度n型バッファ層12の形成の為に第2のリン注入量のみで設定される不純物濃度に低耐圧PMOSトランジスタのn型ウエル層5の不純物濃度を設定し、高耐圧横型IGBTのp型ベース層13と低耐圧MOSのp型ウエル層6とを同一の不純物濃度に設定している。

【0090】したがって、第2の実施例の半導体集積回路の製造時に、高耐圧横型IGBTの高濃度n型バッファ層12の形成の為に第2のリン注入量で低耐圧PMOSトランジスタのn型ウエル層5の不純物濃度も設定できるため、同一工程で高濃度n型バッファ層12及びn型ウエル層5を形成することができる。

【0091】加えて、高耐圧横型IGBTのp型ベース層13と低耐圧MOSのp型ウエル層6とを同じ不純物注入量で形成することにより、同一工程でp型ベース層13及びp型ウエル層6を形成することができる。

【0092】その結果、同一工程で高濃度n型バッファ層12及びn型ウエル層5を形成同一工程でき、p型ベース層13及びp型ウエル層6を形成することができる分、製造工程の短縮化を図ることができる。

【0093】また、通常低耐圧CMOS製造工程で実用可能な微細加工技術を活かして、チャネル長を短くでき、高耐圧IGBTのオン抵抗を低減することも可能である。

【0094】なお、第2の実施例の半導体集積回路の横型IGBTでは、2つの異なる不純物濃度の低濃度n型バッファ層11及び高濃度n型バッファ層12によりバッファ領域を構成したが、第1の実施例の横型IGBT同様、3つ以上のバッファ層によりバッファ領域を構成してもよい。

【0095】すなわち、n型ベース層1からp型コレクタ層19にかけて第1～第n ( $n \geq 2$ ) のバッファ層で、各バッファ層が第1の実施例の条件式1及び条件式2を満足するように構成してもよい。

【0096】そして、n型の不純物を選択的に導入する第1～第nの不純物導入処理を順次施すことにより、第1～第nのバッファ層を形成する。このとき、第i ( $1 \leq i \leq n$ ) のバッファ層は第1～第iの不純物導入処理



により不純物濃度が設定されることになる。なお、第2の実施例では、 $n=2$ で、第1のバッファ層が低濃度 $n$ 型バッファ層11に相当し、第2のバッファ層が高濃度 $n$ 型バッファ層12に相当し、第1の不純物導入処理が第1のリン注入量によるリンイオンの注入、拡散処理に相当し、第2の不純物導入処理が第2のリン注入量によるリンイオンの注入、拡散処理に相当する。

【0097】そして、第1～第 $n$ のバッファ層それぞれの不純物濃度 $B_1 \sim B_n$ において、 $SB_k (k=2 \sim n) = B_k - B_{(k-1)}$ 、 $SB_1 = B_1$ としたとき、第1～第 $n$ の不純物導入処理それぞれにより設定される不純物濃度は $SB_1 \sim SB_n$ となる。

【0098】したがって、 $n$ ウェル領域5の不純物濃度を $SB_1 \sim SB_n$ のうちいずれか一の値に設定すれば、第1～第 $n$ の不純物導入処理のいずれか一の処理と同時に $n$ ウェル層5を製造することができ、製造工程の短縮を図ることができる。

【0099】＜＜第3の実施例＞＞第2の実施例の横型IGBTの $n$ 型バッファ構造は $p$ 型コレクタ層19の下に $n$ 型活性層33を有していたが、図15に示す第3の実施例のIGBTのように、低濃度 $n$ 型バッファ層11を $n$ 型活性層33の表面から裏面を貫通し埋め込酸化膜31と接触するように構成しても、第1及び第2の実施例の横型IGBTと基本的に同様の効果を得ることができる。

【0100】また、第3の実施例の横型IGBTの構造は、 $n$ 型活性層33の厚みを第2の実施例の構造に比べて薄く形成することができるため、ターンオフ特性間の向上を図ることができる。

【0101】なお、図15では第2の実施例の半導体集積回路のIGBTに対応して示したが、第1の実施例のIGBTに対応させた場合、低濃度 $n$ 型バッファ層11を $n$ 型ベース層1の表面から裏面にかけて貫通する構成となる。

【0102】なお、第3の実施例の横型IGBTの平面形状は、図20で示した第1の実施例の平面形状と同様、 $p$ 型コレクタ層19を中心とした長円形状を呈している。

【0103】＜＜第4の実施例＞＞さらに図16に示すように、低濃度 $n$ 型バッファ層11に加え、高濃度 $n$ 型バッファ層12をも $n$ 型活性層33を貫通して形成し、 $p$ 型コレクタ層19の直下は高濃度 $n$ 型バッファ層12のみで構成しても同様の効果が期待できる。

【0104】また、第4の実施例の横型IGBTの構造は、第3の実施例の横型IGBT同様、 $n$ 型活性層33の厚みを第2の実施例の構造に比べて薄く形成することができるため、ターンオフ時間の向上を図ることができる。

【0105】なお、図16では第2の実施例の半導体集積回路のIGBTに対応して示したが、第1の実施例の

IGBTに対応させた場合、低濃度 $n$ 型バッファ層11に加えて高濃度 $n$ 型バッファ層12をも $n$ 型ベース層1の表面から裏面にかけて貫通し、 $p$ 型コレクタ層19の直下は高濃度 $n$ 型バッファ層12のみで構成する構成となる。

【0106】なお、第4の実施例の横型IGBTの平面形状は、図20で示した第1の実施例の平面形状と同様、 $p$ 型コレクタ層19を中心とした長円形状を呈している。

【0107】＜＜第5の実施例＞＞

＜第1の態様＞

＜構造＞図21は、本発明の第5の実施例による横型IGBTの第1の態様の断面構造を示す断面図である。同図に示すように、高抵抗 $n$ 型ベース層1の上層部に $p$ 型ベース層13が選択的に形成され、この $p$ 型ベース層13の表面に互いに隣接して $n$ 型エミッタ層17及び高濃度 $p$ 型層18とが形成され、 $n$ 型ベース層1の上層部に $p$ 型ベース層13と独立して低濃度 $n$ 型バッファ層11が形成され、低濃度 $n$ 型バッファ層11内に高濃度 $n$ 型バッファ層12'が選択的に離散して形成され、低濃度 $n$ 型バッファ層11及び高濃度 $n$ 型バッファ層12'の表面に $p$ 型コレクタ層19が選択的に形成される。すなわち、 $p$ 型コレクタ層19と高抵抗 $n$ 型ベース層1間に高濃度 $n$ 型バッファ層12'と低濃度 $n$ 型バッファ層11とが混在して設けられ、低濃度 $n$ 型バッファ層11及び高濃度 $n$ 型バッファ層12'と $p$ 型コレクタ層19とが接続関係を有する構造となる。

【0108】図25は、第5の実施例の第1の態様の横型IGBTの平面構造を示す平面図である。また、図26は図25の領域A1を拡大して示す平面図である。図25のC-C断面が図21に相当する。図25に示すように、高濃度 $p$ 型層18、 $n$ 型エミッタ層17、ポリシリコン膜16、 $p$ 型ベース層13、 $n$ 型ベース層1、低濃度 $n$ 型バッファ層11及び $p$ 型コレクタ層19の平面形状はそれぞれ長円形状であり、高濃度 $p$ 型層18の内側に $n$ 型エミッタ層17が形成され、以下、同様に、ポリシリコン膜16、 $p$ 型ベース層13、 $n$ 型ベース層1、低濃度 $n$ 型バッファ層11及び $p$ 型コレクタ層19の順で内側に形成される。なお、 $p$ 型ベース層13上には必ずポリシリコン膜16が形成されている。

【0109】そして、低濃度 $n$ 型バッファ層11内において、 $p$ 型コレクタ層19の中央部を縦断して平面形状が櫛の歯状の高濃度 $n$ 型バッファ層12' (12A)が、 $p$ 型コレクタ層19の端部の円形箇所を縦断して平面形状が歯車の歯形状の高濃度 $n$ 型バッファ層12' (12B)がそれぞれ離散して形成される。

【0110】一方、 $n$ 型エミッタ層17の一部、 $p$ 型ベース層13の表面及び $n$ 型ベース層1の一部上にゲート絶縁膜15が形成され、ゲート絶縁膜15上にゲート電極部として機能するポリシリコン膜16が形成される。

また、n型エミッタ層17及び高濃度p型層18上にエミッタ電極20が形成され、ポリシリコン膜16上にゲート電極21が形成され、p型コレクタ層19上にコレクタ電極22が形成される。なお、14はフィールド酸化膜である。

【0111】＜製造方法＞図22～図24は第5の実施例の第1の態様の横型IGBTの製造方法を示す断面図である。また、図27は、製造工程中における図26に対応する箇所の平面構造を示す平面図である。以下、図22～図24及び図27を参照して第5の実施例の製造方法の説明をする。

【0112】まず、図22に示すように、高抵抗n型ベース層1に選択的にn型の不純物イオンを例えば $1.4 \times 10^{13} \text{ cm}^{-2}$ の量で注入（第1の不純物注入）し、拡散させて低濃度n型バッファ層11を形成する、次に、低濃度n型バッファ層11内に選択的にn型の不純物イオンを注入（第2の不純物注入）し拡散させ、図27に示すように、離散的に高濃度n型バッファ層12'を形成する。したがって、高濃度n型バッファ層12'は2重拡散により形成される。さらに高抵抗n型ベース層1の上層部に低濃度n型バッファ層11と独立してp型の不純物を選択的に注入し拡散させてp型ベース層13を形成する。

【0113】次に、図23に示すように、LOCOS法を用いてフィールド酸化膜14を形成後、ゲート絶縁膜15を形成し、フィールド酸化膜14及びゲート絶縁膜15上にポリシリコン膜16を形成する。

【0114】そして、図24に示すように、ポリシリコン膜16をゲート電極部の形状に加工する。次に通常の低耐圧CMOSトランジスタの製法と同様に、p型ベース層13の表面にレジストを用いてn型エミッタ層17を選択的に形成する。次にレジストを用い選択的にp型ベース層13の表面にn型エミッタ層17に隣接して高濃度p型層18を形成するとともに、低濃度n型バッファ層11及び高濃度n型バッファ層12'の表面にp型コレクタ層19を選択的に形成する。そして、酸化膜の不要部分を除去し、n型エミッタ層17及び高濃度p型層18それぞれの一部上にエミッタ電極20を形成し、ポリシリコン膜16上にゲート電極21を形成し、p型コレクタ層19上にコレクタ電極22を形成することにより、図21で示した横型IGBTの構造が完成する。

【0115】第5の実施例の第1の態様の横型IGBTは、n型バッファ層として低濃度部分（低濃度n型バッファ層11）と高濃度部分（高濃度n型バッファ層12'）とが混在して形成され、低濃度n型バッファ層11の一部とp型コレクタ層19とが必ず接続されているため、ゲート電極21に正の電圧を印加するとp型コレクタ層19に電子が向かい、まず、p型コレクタ層19から低濃度n型バッファ層11に正孔の注入が始まり、その正孔がエミッタ側からの電子の注入を促すことによ

り、相乗効果が働きキャリア濃度が増大する。

【0116】一方、オン電圧の増加を防ぐためには定常状態でのキャリア濃度以下に高濃度n型バッファ層12'の不純物濃度を設定する必要があるが、前述したようにp型コレクタ層19に接続される低濃度n型バッファ層11の一部の存在により、定常状態でのキャリア濃度を十分に高く設定できる。

【0117】その結果、高濃度n型バッファ層12'の不純物濃度を十分高く設定することにより、オン電圧の増加を招くことなく、耐圧及びターンオフ能力を向上させることができる。

【0118】＜第2の態様＞図28及び図29はそれぞれ第5の実施例の第2の態様である横型IGBTの断面構造及び平面構造をそれぞれ示す断面図及び平面図である。図29のD-D断面が図28である。図29に示すように、高濃度n型バッファ層12'は、p型コレクタ層19の中央部に位置する中央領域（12C）とその中央領域12Cから放射形状に形成される端部領域（12D）とからなり、高濃度n型バッファ層12の平面形状はp型コレクタ層19の中央部下から放射状に延びた形状を呈している。なお、他の構成は第1の態様と同様であるため説明を省略する。また、製造方法は、高濃度n型バッファ層12'の平面形状の設定以外は第1の態様と同様である。

【0119】このような構成の第5の実施例の第2の態様の横型IGBTは、第1の態様同様、低濃度n型バッファ層11の一部とp型コレクタ層19とが必ず電氣的に接続されているため、定常状態でのキャリア濃度が増大させることができる。

【0120】その結果、定常状態でのキャリアの濃度以下で高濃度n型バッファ層12'の不純物濃度を十分高く設定することができるため、オン電圧の増加を防ぎながら、耐圧及びターンオフ能力を向上させることができる。

【0121】加えて、p型コレクタ層19の中央部の下方には必ず高濃度n型バッファ層12'が存在するため、下方よりp型コレクタ層19にかけて延びる空乏層の伸びを高濃度n型バッファ層12'が抑え、空乏層がp型コレクタ層19の中央部に到達することを確実に回避させることができ、第1の態様に比べ高い耐圧を維持することができる。

【0122】＜＜第6の実施例＞＞図30及び図31はそれぞれ第6の実施例である横型IGBTの断面構造及び平面構造をそれぞれ示す断面図及び平面図である。図31のE-E断面が図30である。これらの図に示すように、高濃度n型バッファ層12'はp型コレクタ層19に接続することなく、平面形状はp型コレクタ層19の外周から所定距離隔てて長円状に離散して形成される。なお、他の構成は第5の実施例の第1の態様と同様であるため説明を省略する。

【0123】このような構成の第6の実施例の横型IGBTは、第5の実施例（の第1及び第2の態様）と同様、低濃度n型バッファ層11の一部とp型コレクタ層19とが必ず電氣的に接続されているためキャリア濃度が増大する。

【0124】したがって、第5の実施例同様、オン電圧の増加を招くことなく、耐圧及びターンオフ能力を向上させることができる。

【0125】特に、p型コレクタ層19は、低濃度n型バッファ層11の表面のみに形成され、p型コレクタ層19と低濃度n型バッファ層11との接続領域を広くとれるため、オン電圧の増加を防ぐべく定常状態でのキャリア濃度以下に設定する必要の高濃度n型バッファ層12'の不純物濃度を第5の実施例以上に高く設定することができる。

【0126】

【発明の効果】以上説明したように、この発明における請求項1記載の絶縁ゲート型バイポーラトランジスタの第1～第nのバッファ層は、第1～第nのバッファ層それぞれの第1の導電型の不純物濃度をB1～Bnとし、制御電極部に所定の電圧を印加し第3、第5の半導体層間に所定の電位差を設定して第3、第5の半導体層間に電流を流すオン状態時において第1～第nのバッファ層それぞれを伝播するキャリアの濃度をC1～Cnとしたとき、条件式1： $B1 < B2 < \dots < Bn$ 及び条件式2： $Bi < Ci$  ( $1 \leq i \leq n$ )を共に満足する。

【0127】第1～第nのバッファ層が条件式2を満足することによりオン状態時に良好なオン電圧を得ることができ、第1～第nのバッファ層が条件式1を満足することにより耐圧の向上を図ることができる。

【0128】その結果、請求項1記載の絶縁ゲート型バイポーラトランジスタは、条件式2を満足することにより良好なオン電圧を得、条件式1及び条件式2を満たす範囲で第1～第nのバッファ層の不純物濃度をB1～Bnを十分大きく設定することにより良好な耐圧及びターンオフ特性を得ることができる。

【0129】また、請求項2記載の絶縁ゲート型バイポーラトランジスタは、第1～第nのバッファ層の不純物濃度B1～Bnを $3.4 \times 10^{16} \sim 8.0 \times 10^{17} \text{ cm}^{-3}$ の範囲に設定して、条件式1及び条件式2を満足することにより、実動作レベルで良好なオン電圧、耐圧及びターンオフ特性を実現している。

【0130】また、請求項3記載の絶縁ゲート型バイポーラトランジスタは、第1～第nのバッファ層からなる第4の半導体層は第1の半導体層の表面から裏面を貫通して形成されるため、第1の半導体層の厚みを比較的薄く形成することができる。

【0131】その結果、第1の半導体層の厚みを薄く形成することにより、ターンオフ特性がより良好な絶縁ゲート型バイポーラトランジスタを得ることができる。

【0132】この発明における請求項4記載の絶縁ゲート型バイポーラトランジスタの第5の半導体層は第1及び第2のバッファ層の表面に形成されるため、不純物濃度が第2のバッファ層よりも低い第1のバッファ層とも部分的に直接接続される。

【0133】したがって、オン開始時に、第5の半導体層から比較的低濃度な第1のバッファ層を介してキャリアの注入が生じ順次キャリア濃度を増大させることができる。

10 【0134】その結果、オン電圧の増加を防ぐべく定常状態でのキャリア濃度以下に設定する必要のある第2のバッファ層の不純物濃度を十分に高く設定することができ、オン電圧を増加させることなく耐圧及びターンオフ能力を向上させることができる。

【0135】この発明における請求項5記載の絶縁ゲート型バイポーラトランジスタの第5の半導体層は第1のバッファ層の表面に形成されるため、不純物濃度が第2のバッファ層よりも低い第1のバッファ層と第5の半導体層とが必ず電氣的に接続される。

20 【0136】したがって、オン開始時に、第5の半導体層から比較的低濃度な第1のバッファ層を介してキャリアの注入が生じ順次キャリア濃度を増大させることができる。

【0137】その結果、オン電圧の増加を防ぐべく定常状態でのキャリア濃度以下に設定する必要のある第2のバッファ層の不純物濃度を十分に高く設定することができ、オン電圧を増加させることなく耐圧及びターンオフ能力を向上させることができる。

30 【0138】特に、第5の半導体層は、第1のバッファ層の表面のみに形成され、第5の半導体層と第1のバッファ層との接続領域を広くとれるため、オン電圧の増加を防ぐべく定常状態でのキャリア濃度以下に設定する必要のある第2のバッファ層の不純物濃度をより一層高く設定することができる。

【0139】この発明における請求項6記載の半導体集積回路は、電界効果型トランジスタの第2の導電型のウェル領域の不純物濃度を絶縁ゲート型バイポーラトランジスタの第2の導電型の第2の半導体層の不純物濃度と同一に設定しているため、ウェル領域と第2の半導体層とを同一工程で製造することができる。

40 【0140】その結果、ウェル領域と第2の半導体層とを同一工程で製造できる分、製造工程の短縮化を図ることができる。

【0141】この発明における請求項7記載の半導体集積回路は、絶縁ゲート型バイポーラトランジスタの第1～第nのバッファ層それぞれの不純物濃度B1～Bnにおいて、 $SBk$  ( $k=2 \sim n$ )  $= Bk - B(k-1)$ 、 $SB1 = B1$ としたとき、電界効果型トランジスタのウェル領域の不純物濃度をSB1～SBnのうちいずれか一の値に設定している。

【0142】また、条件式1： $B1 < B2 < \dots < Bn$ を満たすべく、第1～第nのバッファ層は第1～第nの不純物導入処理による多重拡散により製造される。すなわち、第i（ $1 \leq i \leq n$ ）のバッファ層は第1～第iの不純物導入処理による多重拡散により不純物濃度が設定される。このとき、第1～第nの不純物導入処理それぞれにより設定される不純物濃度はSB1～SBnとなる。

【0143】その結果、ウェル領域の製造処理と第1～第nの不純物導入処理のいずれか一の処理とを同一工程で製造できる分、製造工程の短縮化を図ることができる。

【0144】この発明における請求項8記載の半導体集積回路は、第1の電界効果型トランジスタの第1のウェル領域の不純物濃度を第2の半導体層の不純物濃度と同一に設定し、第2の電界効果型トランジスタの第2のウェル領域の不純物濃度を上記したSB1～SBnのうちいずれか一の値に設定している。

【0145】したがって、第1の電界効果型トランジスタの第1のウェル領域と絶縁ゲート型バイポーラトランジスタの第2の半導体層とを同一工程で製造することができ、条件式1： $B1 < B2 < \dots < Bn$ を満たすべく第1～第nのバッファ層は第1～第nの不純物導入処理による多重拡散により製造される場合、第2の電界効果型トランジスタの第2のウェル領域の製造処理と第1～第nの不純物導入処理のいずれか一の処理とを同一工程で製造できる。

【0146】その結果、第1の電界効果型トランジスタの第1のウェル領域と絶縁ゲート型バイポーラトランジスタの第2の半導体層とを同一工程で製造することができ、第2の電界効果型トランジスタの第2のウェル領域の製造処理と第1～第nの不純物導入処理のいずれか一の処理とを同一工程で製造できる分、製造工程の短縮化を図ることができる。

【0147】この発明における請求項9記載の製造方法で製造される絶縁ゲート型バイポーラトランジスタの第1～第nのバッファ層は、第1～第nのバッファ層それぞれの第1の導電型の不純物濃度をB1～Bnとし、制御電極部に所定の電圧を印加し第3、第5の半導体層間に所定の電位差を設定して第3、第5の半導体層間に電流を流すオン状態時において第1～第nのバッファ層それぞれを伝播するキャリアの濃度をC1～Cnとしたとき、条件式1： $B1 < B2 < \dots < Bn$ 及び条件式2： $B1 < Ci$ （ $1 \leq i \leq n$ ）を共に満足する。

【0148】第1～第nのバッファ層が条件式2を満足することによりオン状態時に良好なオン電圧を得ることができ、第1～第nのバッファ層が条件式1を満足することにより耐圧の向上を図ることができる。

【0149】その結果、請求項9記載の製造方法で製造される絶縁ゲート型バイポーラトランジスタは、条件式2を満足することにより良好なオン電圧を得、条件式1

及び条件式2を満たす範囲で第1～第nのバッファ層の不純物濃度をB1～Bnを十分大きく設定することにより良好な耐圧及びターンオフ特性を得ることができる。

【0150】この発明における請求項10記載の半導体集積回路の製造方法は、絶縁ゲート型バイポーラトランジスタの製造工程のステップ(b)と電界効果型トランジスタの製造工程のステップ(h)とを同一の不純物濃度導入条件で行うため、ステップ(b)とステップ(h)とを同時に実行することができる。

【0151】その結果、ステップ(b)とステップ(h)とを同時に実行する分、製造工程の短縮化を図ることができる。

【0152】この発明における請求項11記載の半導体集積回路の製造方法は、絶縁ゲート型バイポーラトランジスタの製造工程のステップ(f)の第1～第nの不純物導入処理のいずれか一の処理と電界効果型トランジスタの製造工程のステップ(h)での不純物導入処理とを同一の不純物濃度導入条件で行うため、第1～第nの不純物導入処理のいずれか一の処理とステップ(h)とを同時に実行することができる。

【0153】その結果、第1～第nの不純物導入処理のいずれか一の処理とステップ(h)とを同時に実行する分、製造工程の短縮化を図ることができる。

【0154】この発明における請求項12記載の半導体集積回路の製造方法は、絶縁ゲート型バイポーラトランジスタの製造工程のステップ(b)と第1の電界効果型トランジスタの製造工程のステップ(h)とを同一の不純物濃度導入条件で行うため、ステップ(b)とステップ(h)とを同時に実行することができる。

【0155】さらに、絶縁ゲート型バイポーラトランジスタの製造工程のステップ(f)の第1～第nの不純物導入処理のいずれか一の処理と第2の電界効果型トランジスタの製造工程のステップ(l)での不純物導入処理とを同一の不純物濃度導入条件で行うため、第1～第nの不純物導入処理のいずれか一の処理とステップ(l)とを同時に実行することができる。

【0156】その結果、ステップ(b)とステップ(h)とを同時に実行し、第1～第nの不純物導入処理のいずれか一の処理とステップ(h)とを同時に実行する分、製造工程の短縮化を図ることができる。

【図面の簡単な説明】

【図1】 この発明の第1の実施例である横型IGBTの構造を示す断面図である。

【図2】 第1の実施例の横型IGBTの製造方法を示す断面図である。

【図3】 第1の実施例の横型IGBTの製造方法を示す断面図である。

【図4】 第1の実施例の横型IGBTの製造方法を示す断面図である。

【図5】 第1の実施例の横型IGBTの不純物濃度分

布を示す図である。

【図6】 この発明の第2の実施例である半導体集積回路の構造を示す断面図である。

【図7】 第2の実施例の半導体集積回路の製造方法を示す断面図である。

【図8】 第2の実施例の半導体集積回路の製造方法を示す断面図である。

【図9】 第2の実施例の半導体集積回路の製造方法を示す断面図である。

【図10】 第2の実施例の半導体集積回路の製造方法を示す断面図である。

【図11】 第2の実施例の半導体集積回路の製造方法を示す断面図である。

【図12】 第2の実施例の半導体集積回路の製造方法を示す断面図である。

【図13】 第2の実施例の半導体集積回路の製造方法を示す断面図である。

【図14】 不純物の打ち込み距離とn型バッファ層との濃度分布との関係を示すグラフである。

【図15】 この発明の第3の実施例である横型IGBTの構造を示す断面図である。

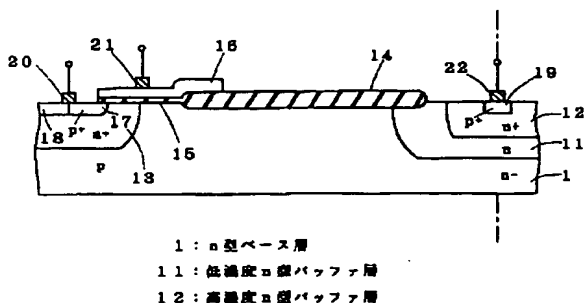
【図16】 この発明の第4の実施例である横型IGBTの構造を示す断面図である。

【図17】 従来の横型IGBTの構造を示す断面図である。

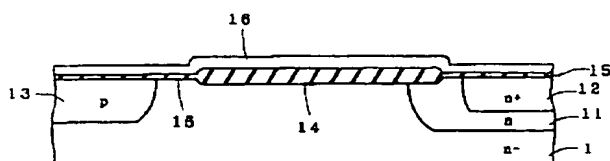
【図18】 従来のNMOSトランジスタの構造を示す断面図である。

【図19】 従来の横型IGBTの平面構造を示す平面図である。

【図1】



【図3】



【図20】 第1の実施例の横型IGBTの平面構造を示す平面図である。

【図21】 この発明の第5の実施例である横型IGBTの第1の態様の構造を示す断面図である。

【図22】 第5の実施例の第1の態様の製造方法を示す断面図である。

【図23】 第5の実施例の第1の態様の製造方法を示す断面図である。

【図24】 第5の実施例の第1の態様の製造方法を示す断面図である。

【図25】 第5の実施例の第1の態様の平面構造を示す平面図である。

【図26】 図25の一部を詳細に示す平面図である。

【図27】 第5の実施例の第1の態様の製造方法を示す平面図である。

【図28】 この発明の第5の実施例である横型IGBTの第1の態様の構造を示す断面図である。

【図29】 第5の実施例の第2の態様の平面構造を示す平面図である。

【図30】 この発明の第6の実施例である横型IGBTの構造を示す断面図である。

【図31】 第6の実施例の横型IGBTの平面構造を示す平面図である。

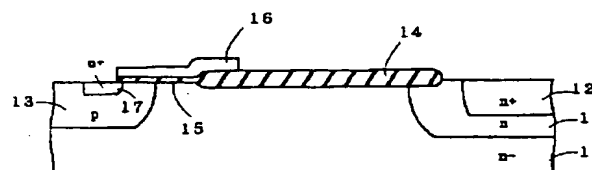
【符号の説明】

1 n型ベース層、5 n型ウエル層、6 p型ウエル層、11 低濃度n型バッファ層、12 高濃度n型バッファ層、12' 高濃度n型バッファ層、12'' 高濃度n型バッファ層。

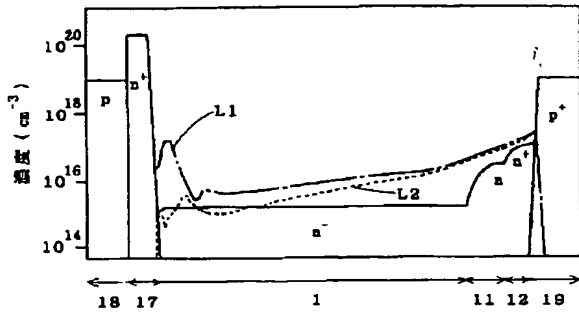
【図2】



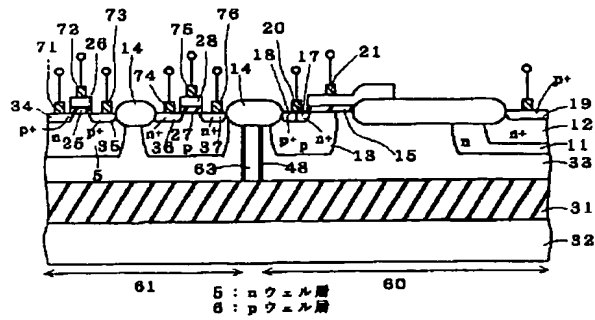
【図4】



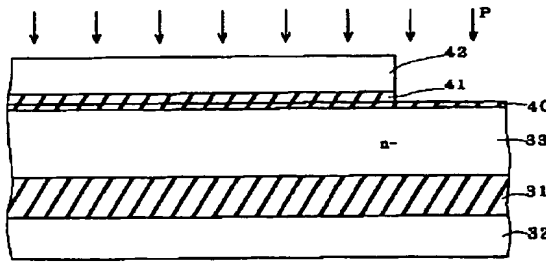
【図5】



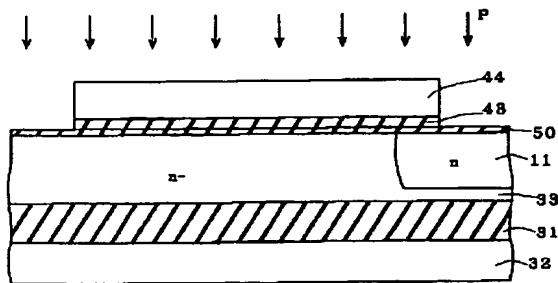
【図6】



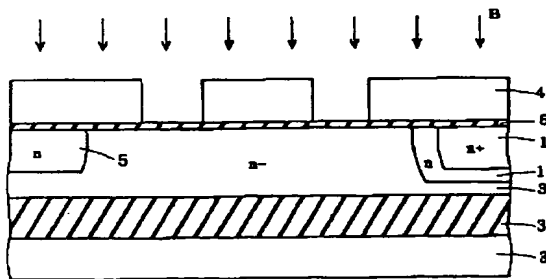
【図7】



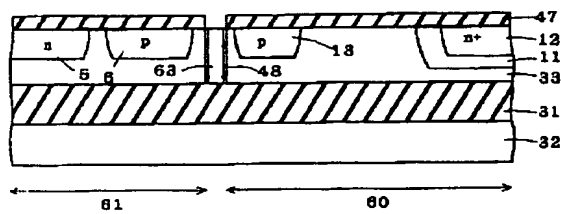
【図8】



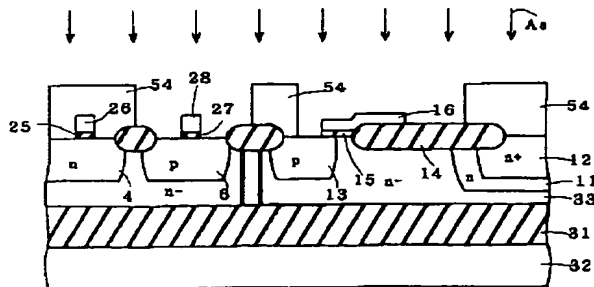
【図9】



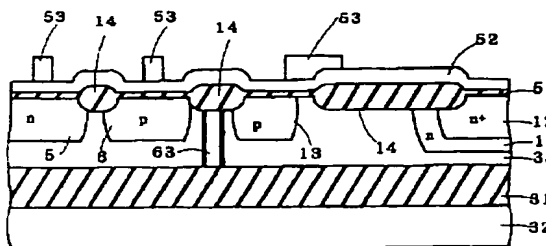
【図10】



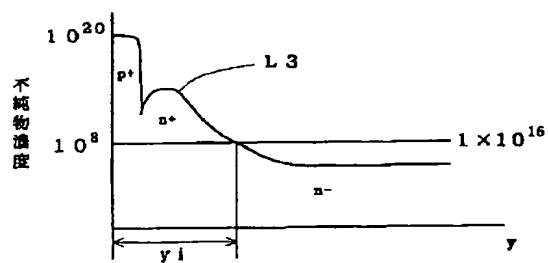
【図12】



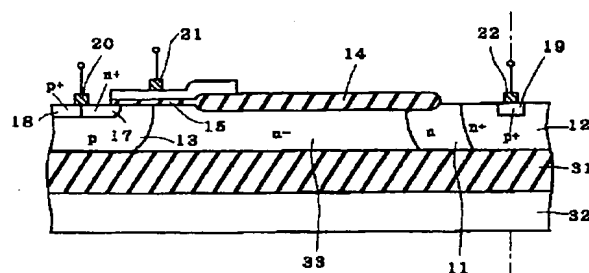
【図11】



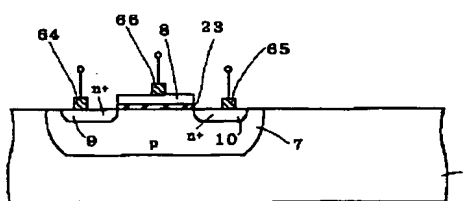
【图 14】



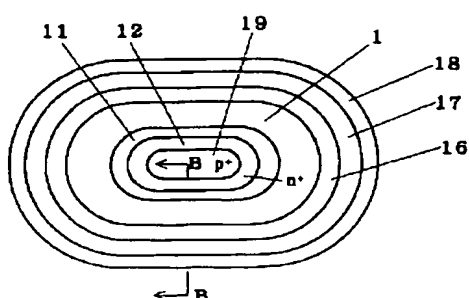
【图 16】



【图 18】



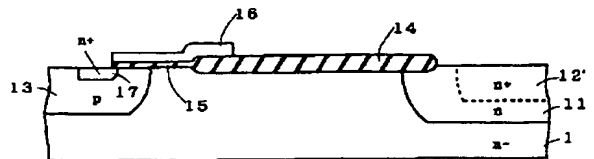
【图 20】



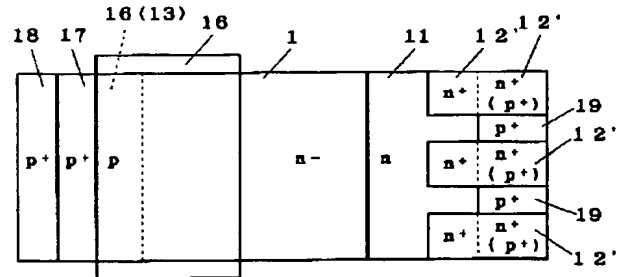
【图 2-2】



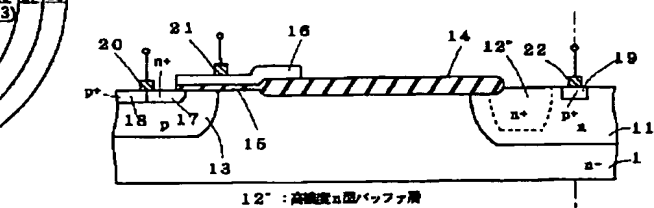
【図 23】



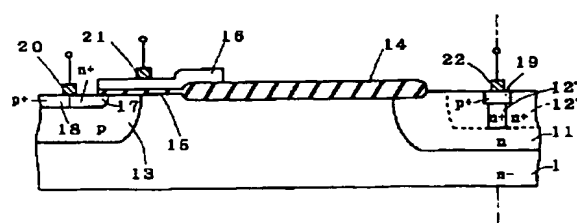
【图 2 5】



【图 27】

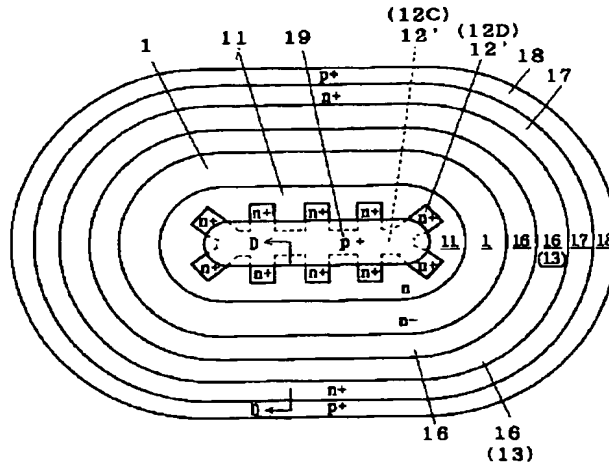


【图 28】





【図29】



【図31】

